

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
СХІДНОУКРАЇНСЬКИЙ НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ ІМ. В. ДАЛЯ
ФАКУЛЬТЕТ ІНФОРМАЦІЙНИХ ТЕХНОЛОГІЙ ТА ЕЛЕКТРОНІКИ
КАФЕДРА КОМП'ЮТЕРНОЇ ІНЖЕНЕРІЇ

До захисту допускається
Завідувач кафедри
_____ Скарга-Бандурова І.С.
« ____ » _____ 2018 р.

ДИПЛОМНИЙ ПРОЕКТ (РОБОТА) БАКАЛАВРА

ПОЯСНЮВАЛЬНА ЗАПИСКА

НА ТЕМУ:

Моделі логічних схем для діагностичних експериментів

Освітньо-кваліфікаційний рівень "Бакалавр"
Спеціальність 123 – “комп’ютерна інженерія”

Науковий керівник роботи:

_____ (підпис)

Ю.Г. Міщенко

(ініціали, прізвище)

Консультант з охорони праці:

_____ (підпис)

Я.О. Критська

(ініціали, прізвище)

Студент:

_____ (підпис)

Р.Ю. Усик

(ініціали, прізвище)

Група:

КІ-146д

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
СХІДНОУКРАЇНСЬКИЙ НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ
ІМЕНІ ВОЛОДИМИРА ДАЛЯ

Факультет Інформаційних технологій та електроніки
Кафедра Комп'ютерної інженерії
Освітньо-кваліфікаційний рівень бакалавр
Напрямок підготовки 6.050102 Комп'ютерна інженерія
(шифр і назва)
Спеціальність _____
(шифр і назва)

ЗАТВЕРДЖУЮ:

Завідувач кафедри _____
I.C. Скарга-Бандурова
« _____ » _____ 20__ р.

ЗАВДАННЯ
НА ДИПЛОМНИЙ ПРОЕКТ (РОБОТУ) БАКАЛАВРА
Усик Роман Юрійович

(прізвище, ім'я, по батькові)

1. Тема роботи Моделі логічних схем для діагностичних експериментів

керівник проекту (роботи) ст.викладач Міщенко Ю.Г.
(прізвище, ім'я, по батькові, науковий ступінь, вчене звання)

затверджені наказом вищого навчального закладу від "14" 05 2018 р. №117/48

2. Строк подання студентом роботи _____

3. Вихідні дані до роботи матеріали переддипломної практики

4. Зміст розрахунково-пояснювальної записки (перелік питань, які потрібно розробити) Аналіз та постановка завдання; Методологічні аспекти постанови, опис програми схемотехнічного моделювання, побудова електричних принципальних схем, тестування моделей логічних схем

5. Перелік графічного матеріалу (з точним зазначенням обов'язкових креслень)
Комп'ютерна презентація

6. Консультанти розділів проекту (роботи)

Розділ	Прізвище, ініціали та посада консультанта	Підпис, дата	
		завдання видав	завдання прийняв
Охорона праці	Критська Яна Олександрівна, асистент		

7. Дата видачі завдання _____

Керівник _____

(підпис)

Завдання прийняв до виконання _____

(підпис)

КАЛЕНДАРНИЙ ПЛАН

№ з/п	Назва етапів дипломного проекту (роботи)	Строк виконання етапів проекту (роботи)	Примітка
1	а) Збір та вивчення джерел інформації для написання дипломної роботи; б) складання бібліографії наукових джерел	До 1.05.2018	
2	Виконання та оформлення розділу з охорони праці	До 16.06.2018	
3	Написання першого розділу	До 13.05.2018	
4	Аналіз моделювання та написання другого розділу	До 26.05.2018	
5	Написання третього розділу	До 28.05.2018	
6	Розробка схем та написання четвертого розділу	До 5.06.2018	
7	Написання вступу та висновків	До 7.06.2018	
8	Виправлення зауважень	До 9.06.2018	
9	Захист дипломного проекту	25.06.2018	
		(Згідно графіку)	

Студент _____

(підпис)

Усик Р.Ю.

(прізвище та ініціали)

Науковий керівник _____

(підпис)

Міщенко Ю.Г.

(прізвище та ініціали)

РЕФЕРАТ

Пояснювальна записка до дипломного проекту (роботи) бакалавра: 94 с., 74 рис., 5 табл., 29 бібліографічних джерел посилань, 3 додаток.

Об'єкт розробки: Моделі логічних схем для діагностичних експериментів.

Мета роботи: Побудова моделей схем електричних принципових логічних схем на МОН-транзисторах для діагностичних експериментів.

У дипломному проекті виконано

1. Розглянуто структуру систем діагностування, методи тестопридатного проектування

2. Описано програму Multisim 10

3. Розглянуто технологію побудови електричних принципіальних схем за технологією КМОН

4. Виконано моделювання роботи схеми й розглянуто основні види несправностей які можна дослідити на моделі електричної принципіальній схеми.

Отримано наступні результати: інформація про поведінку віртуальної принципіальної схеми

Практичне значення, галузь застосування роботи: Дослідження видів тестування й впливу рівнів представлення схем на інформацію отриману з моделювання.

Ключові слова: Комп'ютерна система, схемотехнічне моделювання, Multisim, МОН-транзистор, логічний елемент

ЗМІСТ

СКОРОЧЕННЯ ТА УМОВНІ ПОЗНАКИ	7
ВСТУП.....	8
1 ПОСТАНОВКА ЗАДАЧІ.....	10
1.1 Методологічні аспекти постанови лабораторного практикуму по дисципліні ТДКС	10
1.2 Властивості моделюючої програми Multisim	11
1.2.1 Загальні властивості програми	11
1.2.2 Інтерфейс	13
1.2.3 Вимірювальні прилади.....	18
1.2.4 Елементна база	22
1.3 Задачі дослідження.....	23
2. РІВНІ І ОБЛАСТІ МОДЕЛЮВАННЯ	24
2.1 Области і рівні проектування	24
2.2 Тестування	27
2.3 Загальні принципи логічного моделювання	30
2.4 Моделі сигналів	32
2.5 Моделі логічних елементів	33
2.6 Моделі затримок логічних елементів.....	34
2.7 Аналіз змагань	37
2.7.1 Явище змагання сигналів.....	37
Висновок до розділу рівні і області моделювання	38
3. ФІЗИЧНІ ДЕФЕКТИ І НЕСПРАВНОСТІ.....	39
3.1 Дефекти і несправності	39
3.2 Фізичні дефекти	42
3.3 Типові моделі несправностей	43
3.4 Константні несправності.....	45
3.4.1 Модель константних несправностей	45
3.4.2 Скорочення списків несправностей	47
3.5 Неконстантні несправності.....	48
3.5.1 Замикання	48

3.5.2 Транзисторні несправності ("стійкий обрив транзистора" і "стійке замикання транзистора")	49
3.5.3 Несправності типу "затримка"	51
3.5.4 Тимчасові несправності	52
3.5.5 Перехресні несправності.....	53
Висновок до розділу Фізичні дефекти і несправності	55
4 ТЕСТУВАННЯ МОДЕЛЕЙ ЛОГІЧНИХ СХЕМ НА МОН-ТРАНЗИСТОРАХ В СЕРЕДОВИЩІ MULTISIM.....	56
4.1 Тестування моделей електричних схем НІ, І, І-НІ, АБО, АБО-НІ, Викл. АБО на МОН-транзисторах в середовищі Multisim	57
4.1.1 Логічний елемент НІ (файл NOT)	57
4.1.2 Логічний елемент 2І-НІ (файл NAND_2).....	60
4.1.3 Логічний елемент 2АБО-НІ (файл NOR_2)	64
4.1.4 Логічний елемент 2І (файл AND_2)	68
4.1.5 Логічний елемент 2АБО (файл OR_2)	72
4.1.6 Логічний елемент Викл. АБО (файл XOR_2)	76
5 ОХОРОНА ПРАЦІ ТА БЕЗПЕКА В НАДЗВИЧАЙНИХ СИТУАЦІЯХ	81
5.1 Правові та організаційні основи охорони праці	81
5.1.1 Організаційно-технічні заходи з безпеки праці	81
5.2 Вимоги до приміщень	82
5.2.1 Вимоги до організації місця праці.....	82
5.3 Виробнича санітарія	83
5.3.1 Пожежна безпека.....	84
5.3.2 Електробезпека	86
5.4 Гігієнічні вимоги до параметрів виробничого середовища	86
5.4.1 Вентилювання	87
5.5 Освітлення	87
5.5.1 Розрахунок захисного заземлення.....	89
Висновки до розділу 5	93
ВИСНОВКИ	94
ПЕРЕЛІК ЛІТЕРАТУРИ.....	95
ДОДАТОК А	98

СКОРОЧЕННЯ ТА УМОВНІ ПОЗНАКИ

ОД – Об'єкт діагностування

УГЗ - Умовне графічне зображення

ІМС - Інтегральні мікросхеми

ЦП – цифровий пристрій

МОН – Метал оксид напівпровідник

МДН – Метал діелектрик напівпровідник

НІ – логічний елемент

I – логічний елемент

I-НІ – логічний елемент

АБО – логічний елемент

АБО-НІ – логічний елемент

Викл. АБО – логічний елемент

ВСТУП

При рішенні завдань технічної діагностики можуть використовуватися найрізноманітніші моделі об'єктів діагностування (ОД). Початковий опис цифрових схем як ОД може бути представлено у вигляді електричної принципової або функціональної схем.

Конкретні моделі, використовувані в технічній діагностиці, дуже різноманітні з точки зору вживаного формального апарату. Вони можуть представляти з себе: систему логічних або диференціальних рівнянь, граф, таблицю, систему матриць, електричну або функціональну схему, специфікацію, граф реєстрових передач та ін. При цьому, до якого класу відноситься вибрана модель ОД, багато в чому залежить від цілей діагностування. Розробників цифрових пристроїв (ЦП) і розробників діагностичних тестів зазвичай цікавить, який транзистор, резистор і т. п. став причиною відмови. В цьому випадку, структурною можна рахувати модель у вигляді електричної схеми.

Цифрові схеми як і ОД підрозділяються на комбінаційні і послідовні. В перших вихідні сигнали, що встановилися, визначаються виключно значеннями сигналів на зовнішніх входах. У других, вихідні сигнали залежать не лише від вхідних, але і передуючих станів елементів пам'яті. Основні проблеми технічної діагностики послідовностних пристроїв пов'язані з наявністю в них елементів пам'яті.

Аналіз функціонування елементу показує, що наявність кожної несправності еквівалентна тому, що вихід елементу зафіксований константою "1" або константою "0". Деякі несправності можуть бути еквівалентні фіксації константою "0" на входах.

Хоча може бути певна кількість різних дефектів, при їх наявності можливі всього 5 помітних функцій. Несправності, при яких функціонування цифрового елементу можна описати, фіксуючи в значеннях "0" і "1" змінних функцій справного елементу, називають несправностями "константного типу".

При рішенні ряду завдань технічної діагностики необхідно задавати список можливих несправностей. Очевидне скорочення (розумне) списку можливих несправностей істотно знижує трудомісткість рішень. При виборі константної моделі зазвичай приймають, що сигнал на кожному виведенні може бути зафіксований в значенні "0" або "1". Тоді число несправностей для елемента з m зовнішніми виведеннями рівне 2^m . Очевидно, це набагато менше, ніж $(2^{2^m} - 1)$.

Кількість даних несправностей можна ще більше скоротити, якщо виділити тільки помітні (по функції) несправності. Доведено, що для комбінаційних елементів типу І, АБО, І-НЕ, ІЛИ-НЕ з m входами число помітних поодиноких константних несправностей рівне $m + 2$. Помітимо, що є дослідження, що показують існування в цифрових схемах дефектів, які не можуть бути описані константною моделлю.

Наприклад, в схемах на МОН-транзистор із-за дефектів можлива поява на виході рівня напруги між логічними 0 і 1, або перетворення несправного комбінаційного елемента на схему, вихідний сигнал якої залежить від його стану перед поданням тестової дії (тобто комбінаційний елемент із-за дефекту перетворюється на елемент з пам'яттю). У деяких цифрових елементах із-за дефектів виконується функція стає інверсною до нормальної. Проте багаторічна практика діагностування цифрових ОД, у тому числі програмно-керованих, виконаних з використанням великих інтегральних схем, показує високу ефективність застосування константної моделі при рішенні різних завдань діагностування.

1 ПОСТАНОВКА ЗАДАЧІ

1.1 Методологічні аспекти постанови лабораторного практикуму по дисципліні ТДКС

Технічні засоби комп'ютерної схемотехніки залежно від виконуваних функцій ділять на елементні, функціональні вузли і пристрої, а також мікропроцесори і комп'ютери. Вони призначені для обробки дискретної інформації і тому називаються цифровими. Технічні засоби комп'ютерної схемотехніки в даний час засновані на інтегральних мікросхемах різного ступеня складності.

Типовими функціональними вузлами комп'ютерів називаються мікроелектронні схеми, призначені для виконання однієї або декількох мікрооперацій. Під мікрооперацією розуміють елементарні дії, виконувані в комп'ютерах за один машинний такт. За логікою роботи цифрові вузли розділяють на комбінаційні і послідовні схеми.

В комбінаційних схемах логічний стан виходів елементів залежить тільки від вхідних сигналів в даний момент часу.

Функціональні вузли послідовного типу відносяться до класу цифрових пристроїв з пам'яттю, в яких значення вихідних сигналів визначаються як значеннями вхідних сигналів в даний момент часу, так і передісторією зміни вхідних сигналів. Для цих пристроїв характерним є те, що при одних і тих же значеннях вхідних сигналів, вихідні сигнали можуть мати різні значення. До основних типів таких пристроїв відносяться триггери і реалізовані на їх основі складніші пристрої: регістри, лічильники, розподільники, пристрої і т.п.

Лабораторний практикум грає важливу роль при вивченні сучасної технічної діагностики, що становить основу забезпечення схемотехніки переважної більшості систем управління. Лабораторні заняття дають студентам наочне уявлення роботи окремих електронних і оптоелектронних елементів і

мікросхем, про їх властивості, характеристики і можливості, розвивають навички побудови і дослідження окремих електронних пристроїв. Під час занять студенти повинні набути корисний для їх майбутньої роботи досвід використання сучасних електронних приладів і пристроїв, що широко використовуються в даний час в системах вимірювання і регулювання електричних і неелектричних величин і багатьох технологічних процесах.

У процесі лабораторних занять здійснюється один з найважливіших моментів учбового процесу – зв'язок теорії з практикою, внаслідок чого студент придбаває необхідні знання, вміння, і навички в організації і проведенні дослідів і досліджень з самостійною оцінкою отриманих результатів, а також освоює технологію монтажу, настройки і експлуатації електронних схем [1].

Загальні задачі лабораторного практикуму по даному розділу дисципліни ТДКС:

- поглиблене вивчення прослуховує на лекціях і придбаного в результатах самостійної роботи теоретичного матеріалу;
 - розвиток практичних навичок побудови функціональних вузлів на окремих елементах, їх експериментальне дослідження;
 - дослідження властивостей стандартних функціональних вузлів і методів управління такими схемами;
 - обробка отриманих результатів і оформлення звітної документації;
 - отримання навичок роботи з моделюючою програмою Multisim;
- вивчення властивостей приладів, що використовуються для аналізу цифрових схем.

1.2 Властивості моделюючої програми Multisim

1.2.1 Загальні властивості програми

Підрозділ Electronics Workbench Group компанії National Instruments анонсував випуск Multisim 10 і Ultiboard 10, самих останніх версій програмного забезпечення для інтерактивного SPICE-моделювання і аналізу електричних

ланцюгів, що використовуються в схемотехніці, проектуванні друкарських плат і комплексному їх тестуванні. Ця платформа зв'язує процеси тестування і проектування, надаючи розробнику електронного устаткування гнучкі можливості технології віртуальних приладів. Сумісне використання програмного забезпечення для моделювання електричних ланцюгів Multisim компанії National Instruments з середовищем розробки вимірювальних систем LabVIEW, дозволяє інженерам порівнювати теоретичні дані з реальними безпосередньо в процесі створення схем звичайної друкарської плати, що знижує кількість проектних ітерацій, число помилок в прототипах і прискорює вихід продукції на ринок [17].

Інженери можуть використовувати Multisim 10 для інтерактивного створіння принципових електричних схем і моделювання їх режимів роботи. Multisim абстрагується від складнощів SPICE-моделювання, тому інженеру не потрібні глибокі знання SPICE для того, щоб швидко спроектувати, змоделювати і проаналізувати новий зразок електричної схеми, що особливо корисно при навчанні електротехніці.

Сумісне використання Multisim і технології віртуальних приладів, дозволяє інженерам-розробникам друкарської плати і викладачам електротехнічних спеціальностей досягти повної безперервності циклу проектування, що складається з трьох етапів: вивчення теорії, створення принципової схеми і моделювання, виготовлення прототипу і проведення тестових випробувань.

В Multisim 10 і Ultiboard 10 реалізована велика кількість функції для професійного проектування, орієнтованих на найсучасніші засоби моделювання, поліпшену компонентну базу даних і розширення призначеного для користувача співтовариства. Компонентна база даних включає більше 1200 нових елементів і більше 500 нових SPICE-моделей від ведучих виробників, таких, як Analog Devices, Linear Technology і Texas Instruments, а також більше 100 нових моделей імпульсних джерел живлення. Крім цього, в новій версії програмного забезпечення з'явився помічник Convergence Assistant, який

автоматично коректує параметри SPICE, виправляючи помилки моделювання, була додана підтримка стандартів BSIM 4, а так само розширені можливості відображення і аналізу даних, включаючи нового пробника для значень струму і оновлених статичних пробників для диференціальних вимірювань [18].

Ultiboard 10 компанії National Instruments є зручною і інтуїтивно зрозумілою в роботі платформою для проектування і трасування друкарської плати. Повний процес розробки, починаючи від розміщення об'єктів і закінчуючи розводкою провідників, виконується в гнучкому середовищі проектування, що забезпечує високу швидкість роботи і зручне управління. В новій версії програмного забезпечення були проведені значні поліпшення швидкості роботи при розміщенні компонентів, їх переміщенні, а так само трасуванню провідників. Відкриття великих проектів проводиться приблизно в два рази швидше, завдяки змінам в процедурі перевірки стандартів проекту. Ці поліпшення забезпечують більш швидкий і простий перехід від схеми до реальної фізичної плати, значно покращуючи якість кінцевого продукту.

1.2.2 Інтерфейс

При моделюванні схем в програмі, головним чином використовувалися наступні панелі інструментів (рис. 1.1):

- Складова панель інструментів;
- Панель імітації;
- Приладова панель інструментів.

Далі йде короткий опис кнопок на цих панелях:

Панель імітації містить кнопки, що використовуються протягом процесу імітації працездатності ланцюга. Вони описані в таблиці 1.1.

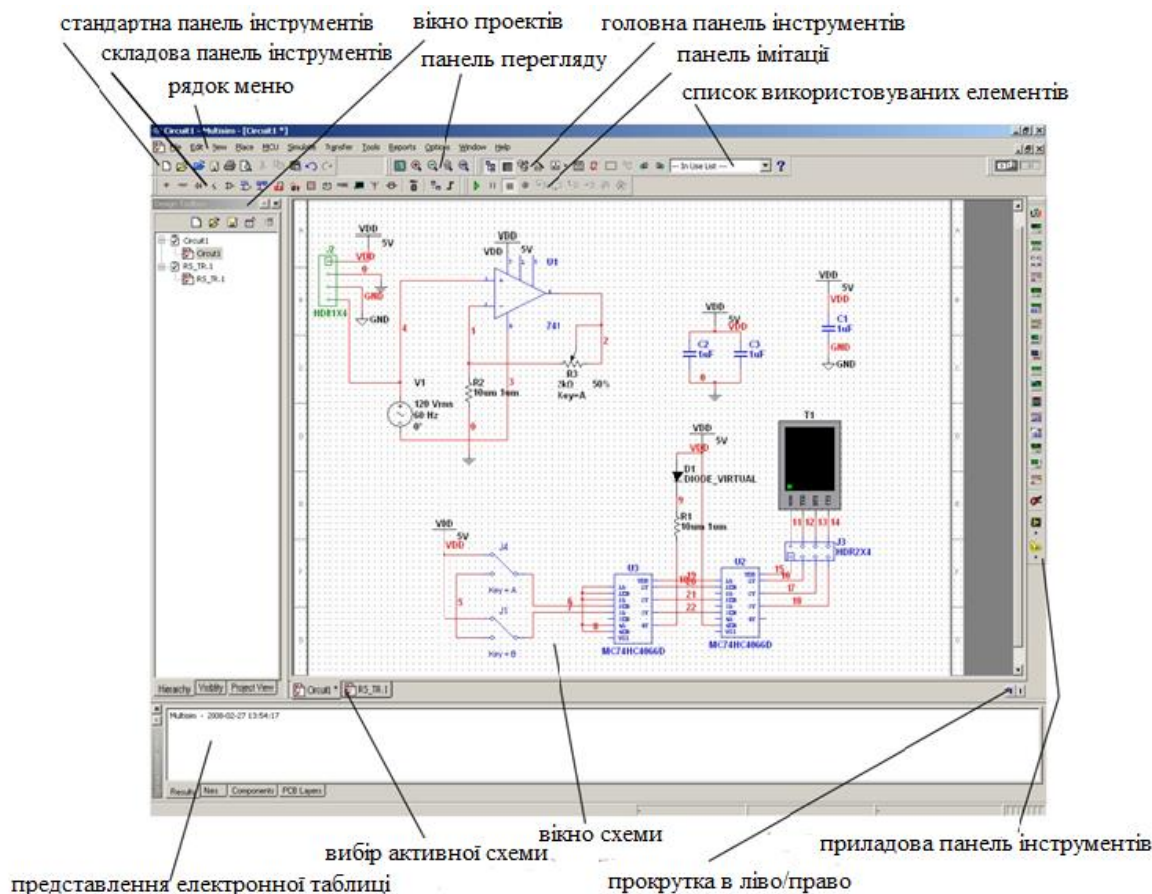




























Рисунок 1.1 – Основне вікно програми Multisim

Таблиця 1.1 – Опис кнопок які знаходяться в Панелі імітації.

Кнопка	Описание
	Запуск / підсумок. Стартове / підсумкове моделювання активної схеми. Подивіться також Моделювання Start / Stop / Pause.
	Пауза. Моделювання пауз
	Стоп. Зупиняє моделювання
	Пауза в Наступною MCU кнопки Командного Межі. Для використання з Модулем Multisim MCU
	Крок в кнопки. Для використання з Модулем Multisim MCU.
	Крок Над кнопкою. Для використання з Модулем Multisim MCU.
	Додайте кроці кнопку. Для використання з Модулем Multisim MCU.
	Працюйте до кнопки Курсора. Для використання з Модулем Multisim MCU.
	Кнопка колінчастого контрольної Точки. Для використання з Модулем Multisim MCU.
	Видалить Всю кнопку контрольних Точок. Для використання з Модулем Multisim MCU.


Кожна кнопка на складовій панелі відкриває нове вікно (вікно вибору елементів) з групою доступних елементів для даної кнопки. Опис кнопок на складовій панелі інструментів приведений в таблиці 1.2.

Таблиця 1.2 – Опис кнопок що знаходяться в складовій панелі інструментів.

Кнопка	Описание
	Джерела. Відкриває групу основних елементів: джерела живлення, напруги і т.д.
	Базові елементи. Відкриває базову групу елементів: резистори, конденсатори, трансформатори і т.д.
	Діоди. Відкриває групу діодних елементів: діоди, діодні мости і т.д.
	Транзистори. Відкриває групу транзисторів.
	Аналогові інтегральні схеми. Відкриває групу елементів з участю аналогових інтегральних схем.
	TTL. Відкриває групу з TTL елементами.
	CMOS. Відкриває групу CMOS елементів.
	Змішані цифрові мікросхеми. Відкриває групу змішаних цифрових мікросхем.
	Змішані елементи. Відкриває групу змішаних елементів: таймери, аналогові перемикачі і т.д.
	Енергетичні компоненти. Відкриває групу енергетичних компонентів для схеми.
	Індикатори. Відкриває групу елементів для вибору індикатора.
	Кнопка елементів, що не увійшли в попередні групи. Відкриває групу різних елементів: вакуумні трубки, кристали, фільтри.
	Кнопка електромеханічних компонентів. Відкриває групу електромеханічних елементів: дисплеї, клавіатури.
	Кнопка RF. Відкриває RF групу компонентів в браузері.
	Авансовані зовнішні пристрої. Відкриває групу авансованих зовнішніх пристроїв.
	Елементи MCU. Відкриває групу MCU елементів.

Кожна кнопка на панелі інструментів поміщає певний інструмент в робочу область схеми. Кнопки, що використовуються в приладовій панелі інструментів, описані в таблиці 1.3.

Таблиця 1.3 – Опис кнопок що знаходяться в приладовій панелі інструментів.

Кнопка	Описание
	Мультиметр. Поміщає мультиметр в робочу область схеми.
	Генератор функції. Поміщає генератор функції в робочу область схеми.
	Ватметр. Поміщає ватметр в робочу область схеми.
	Осцилограф. Поміщає осцилограф в робочу область.
	Чотирьох каналний осцилограф. Поміщає осцилограф з чотирма каналами в робочий простір.
	Bode Plotter. Поміщає Bode Plotter в робочий простір схеми.
	Частотний лічильник. Поміщає частотний лічильник в робочий простір.
	Генератор слів. Поміщає генератор слова в робочий простір.
	Логічний аналізатор. Поміщає логічний аналізатор в робочий простір.
	Логічний перетворювач. Поміщає логічний перетворювач в робочий простір схеми.
	IV-аналізатор. Поміщає IV-аналізатор в робочий простір.
	Спектральний аналізатор. Поміщає спектральний аналізатор в робочий простір.
	Мережевий аналізатор. Поміщає мережевий аналізатор в робочий простір.
	Генератор функцій Agilent. Поміщає генератор функції Agilent в робочий простір.
	Мультиметр Agilent. Поміщає мультиметр Agilent в робочий простір.
	Осцилограф Agilent. Поміщає осцилограф Agilent в робочий простір.
	Осцилограф фірми Tektronix. Поміщає осцилограф фірми Tektronix в робочий простір.
	Зонд. Поміщає імітатор зонда в робочий простір.
	Інструментальна кнопка LabVIEW. Розміщує інструменти LabVIEW в робочому просторі.

Відмітною особливістю програми Multisim є наявність загальної шини.. Використовування загальної шини в модельованих схемах дозволяє спростити читання електричних схем.

Наведемо наочний приклад використання загальної шини в модельованих схемах: Програма EWB 5.12 (рис. 1.2), Програма Multisim (рис. 1.3).

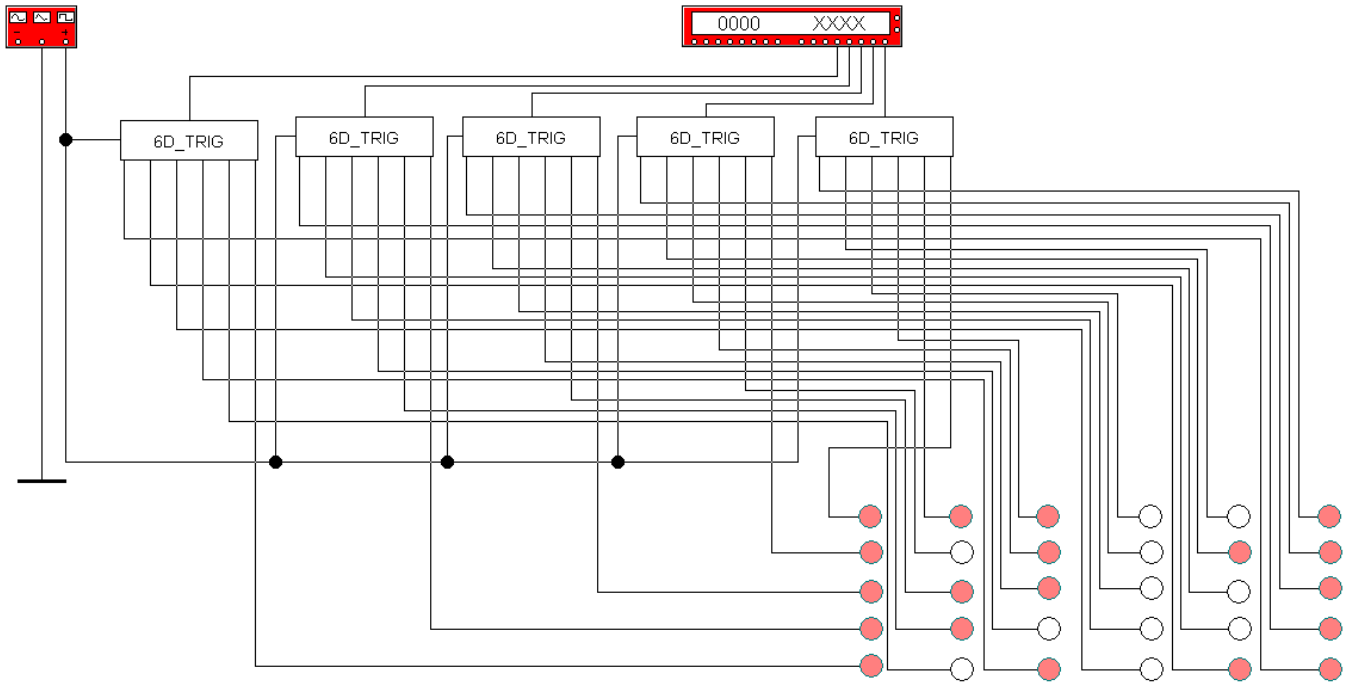


Рисунок 1.2 – Приклад схеми в програмі EWB 5.12

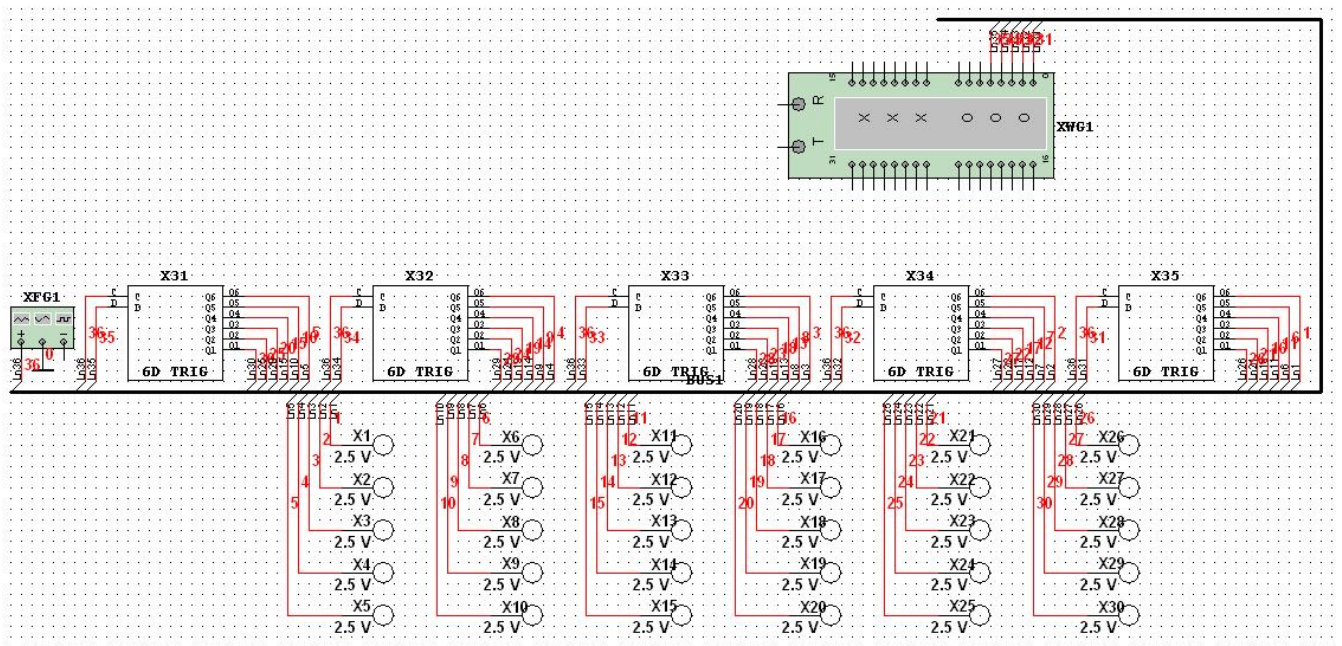


Рисунок 1.3 – Приклад схеми в програмі Multisim

1.2.3 Вимірювальні прилади

При побудові лабораторного практикуму на базі програми Multisim, були використані наступні вимірювальні прилади:

- генератор слів;
- логічний аналізатор;
- логічний конвертор;
- функціональний генератор
- 4-х канальний осцилограф.

Щоб використовувати генератор слів, клацніть по кнопці генератора слова на панелі інструментів, щоб помістити ікону в робочому просторі схеми. Іконка служить для підключення генератора слова до електричної схеми. Клацніть двічі на іконці, щоб відкрити інструментальне вікно, яке використовується для завдання установок і проглядання вимірювань.

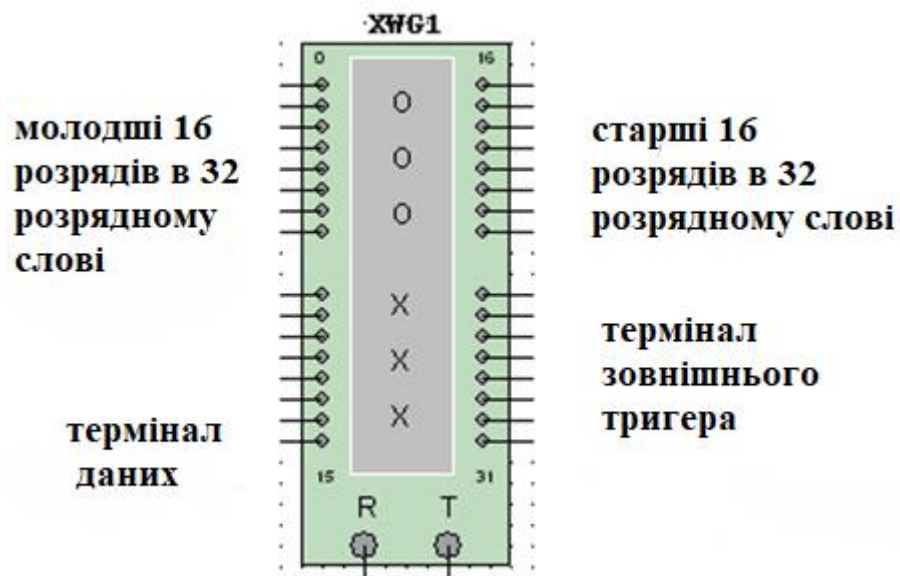
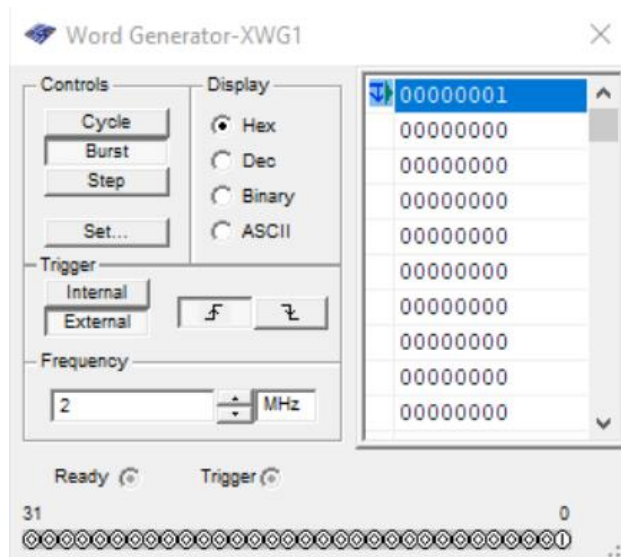


Рисунок 1.4 – Графічне відображення генератора слів в програмі Multisim

Використовуйте генератор слів, щоб посилати цифрові слова в ланцюги:



буфер - зразки збережених або згенерованих слів

термінал виводу - відповідає висновкам, які знаходяться на іконці генератора слова

Рисунок 1.5 – Інструментальне вікно генератора слів

Щоб використовувати логічний аналізатор, клацніть по кнопці логічного аналізатора на панелі інструментів, щоб помістити ікону в робочому просторі схеми. Клацніть двічі по іконці, щоб відкрити інструментальне вікно, яке використовується для завдання установок і проглядання вимірювань.

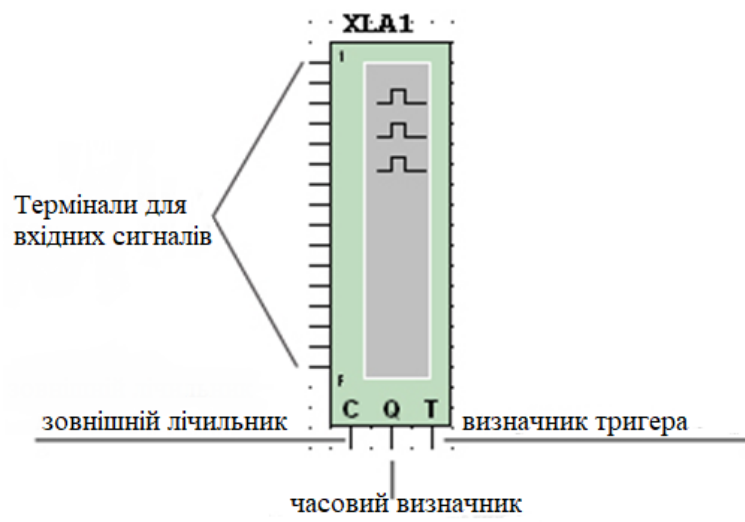


Рисунок 1.6 – Графічне відображення логічного аналізатора в програмі Multisim

Логічний аналізатор показує рівні аж до 16 цифрових сигналів даних в ланцюзі. Це використовується для швидкого відображення даних логіки і часового аналізу, щоб допомогти великим системам проекту і виконати діагностику.

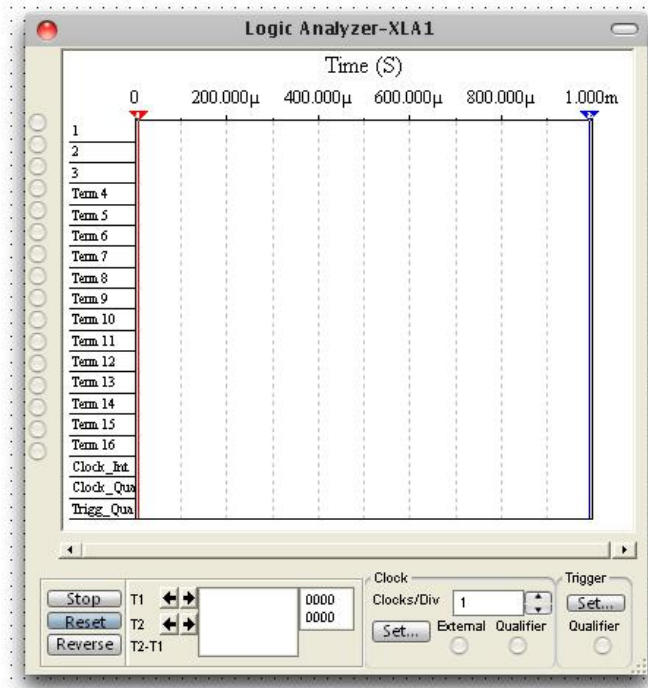


Рисунок 1.7 – Інструментальне вікно логічного аналізатора

16 кол з лівого боку вікна відповідають терміналам і горизонтальним рядам в інструментальному вікні. Коли термінал приєднаний до ланцюга, круг показаний з чорною крапкою і ім'ям вузла. Інакше термінальний круг показаний без чорної крапки.

Коли довжина кола активізована, логічний аналізатор записує вхідні значення на терміналах. Коли сигнал запуску видно, логічний аналізатор показує pre- і почтові-триггер дані. Дані показані як квадратні хвилі зверху часу. Верхній ряд показує значення для каналу 1, наступний ряд показує значення для каналу 2, і так далі. Двійкове значення кожного шматку в поточному слові показано в терміналах з лівого боку - сторона інструментальної особи. Вісь часу показана як верхня вісь сигнального

діалогового вікна показу. Діалогове вікно також показує внутрішній синхронізуючий сигнал, зовнішній синхронізуючий сигнал, зовнішній відзначає час кваліфікувати сигнал і триггер кваліфікувати сигнал .

Функціональний генератор – це джерело напруги синусоїдальних, трикутних або квадратних хвиль. Щоб використовувати функціональний генератор, клацніть по кнопці функціонального генератора на панелі інструментів, щоб помістити ікону в робочому просторі схеми.. Клацніть двічі на іконі, щоб відкрити інструментальне вікно, яке використовується для завдання установок і проглядання вимірювань.



Рисунок 1.8 – Графічне відображення функціонального генератора в програмі Multisim



Рисунок 1.9 – Інструментальне вікно функціонального генератора

1.2.4 Елементна база

Короткий опис елементної бази, що використовується, при проведенні лабораторного практикуму, приведена нижче:

- біполярні транзистори;
- польові транзистори;

Доступ до що вимагається в схемі елемента здійснюється таким чином:

- на складовій панелі натискає кнопка з групою елементів в якій знаходиться що вимагається нам елемент. Відкривається вікно вибору елементів.

- зліва є вікно вибору серії елементів;
- правіше вибираємо необхідний елемент;
- у верхньому правому кутку вікна можна побачити, як відобразиться цей елемент.

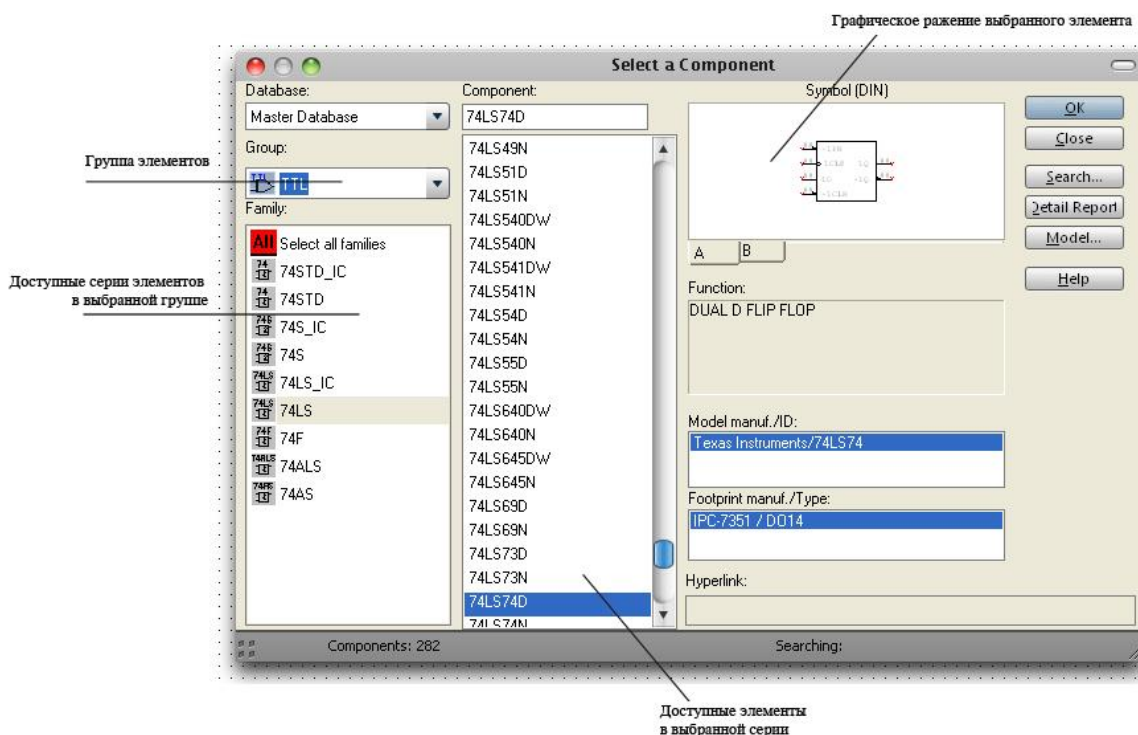


Рисунок 1.10 – Вікно вибору елемента

1.3 Задачі дослідження

Задачею дипломного проекту є дослідження за допомогою програми Multisim поведінки логічних схем спроектованих на МОН транзисторах при проведенні лабораторного практикуму. Основними об'єктами розгляду є МОН транзистори обох структур и логічні схеми побудовані на їхній основі, такі як НІ, І, АБО, І-НІ, АБО-НІ та триггери. На їх основі буде побудований лабораторний практикум для систематизації знань студентів. Акцент зроблений на тому, що у зв'язку з розширенням функціональних можливостей і знань з'явилася необхідність в реалізації цифрових схем з урахуванням сучасної елементної бази.

В даному дипломному проекті будуть реалізовані наступні задачі:

- короткий огляд можливостей програми Multisim;
- огляд елементної бази програми;
- збірка і відладка схем;
- упровадження отриманих результатів в лабораторний практикум.

2. РІВНІ І ОБЛАСТІ МОДЕЛЮВАННЯ

2.1 Області і рівні проектування

Прийнято розглядати три області представлення: фізична, структурна і поведінкова, які показані на рис. 2.1. Для кожної з цих областей розрізняють різні рівні: схемний, логічний, мов регістрових передач (МРП) і системний. При цьому в поведінковій області дається функціональне представлення ЦП, в структурній області описуються блоки архітектури, фізична область відбиває реальний кристал.

Для логічного рівня ці три області показані на рис. 2.2.

На рис. 2.3 показані різні рівні для структурної області. У таблиці 2.1 представлені різні рівні проектування ЦП для кожної області. Слід зазначити, що ЦП на одному і тому ж рівні в цій області може бути описано різними способами. Наприклад, ЦП на логічному рівні в поведінковій області може бути описано за допомогою булевих виразів, таблиць, мови програмування, мови опису апаратури.

Синтез ЦП зводиться до процесу трансформації проекту від верхнього рівня абстракції до нижнього рівня.

В процесі проектування на різних рівнях використовуються моделювання і синтез, які є взаємно доповнюючими процедурами. Окрім цього, зазвичай на кожному рівні проводиться тестування проектованого (чи виготовленого) ЦП.

Проектування ЦП розпочинається з розробки технічного завдання, на базі якого будується функціональна схема, що послідовно перетворюється в реальний пристрій. Моделювання на цьому етапі використовується для приведення функціональної схеми у відповідність із специфікаціями.



Рисунок 2.1 – Диаграмма рівнів абстракції (Гайско-Кана)

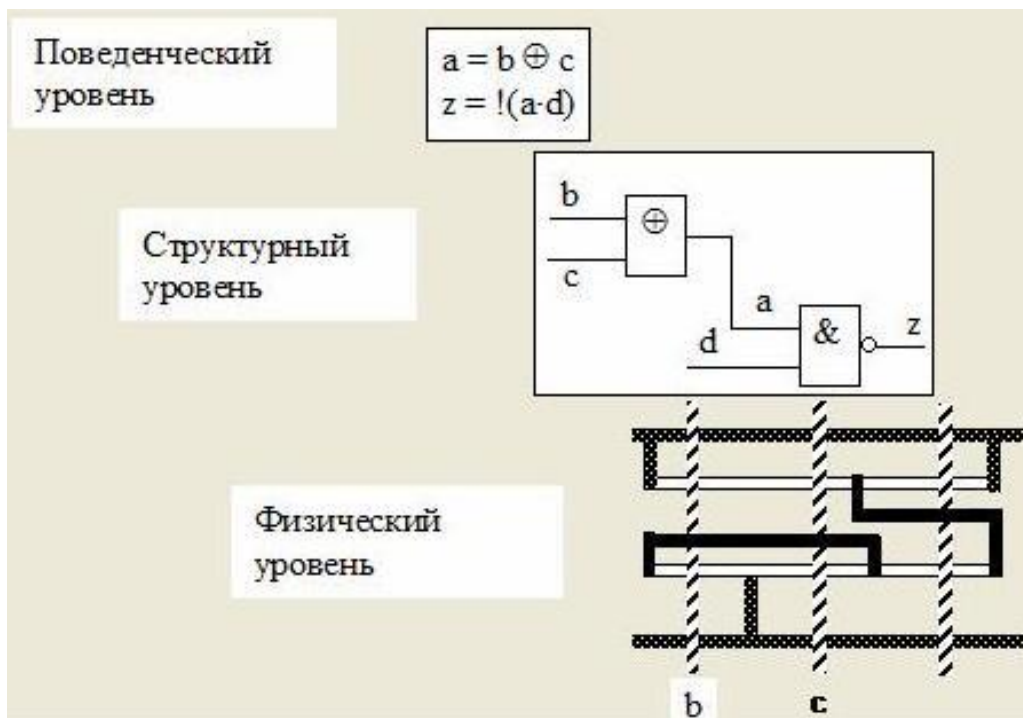


Рисунок 2.2 – Области представлення схеми на логічному рівні

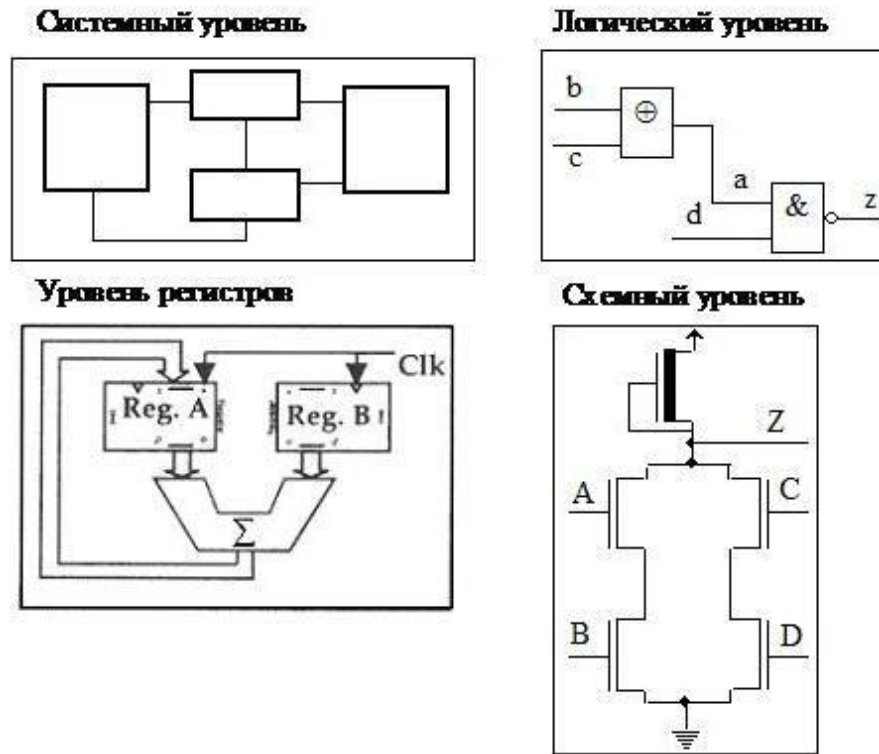


Рисунок 2.3 – Рівні абстракції структурної області

Таблиця 2.1 Рівні проектування

Рівень	Область		
	Поведінкова	Структурна	Фізична
Системний	Системні специфікації	Блоки	Кристал
МРП	МРП специфікації	Регістри	Макроосередки
Логічний	Булеві функції	Логічні вентиля	Стандартні осередки
Схемний	Диференціальні рівняння	Транзистори	Маски

Далі функціональна модель трансформується в модель рівня МРП, яка будується з використанням таких компонентів як регістри, модулі пам'яті, операційні автомати, що управляють. На рівні МРП і логічному рівні, як правило, використовується моделювання для верифікації проекту. Зокрема, може бути використане моделювання несправностей, яке дозволяє отримувати вихідні реакції для дефектів, що виникають на етапах виробництва і експлуатації. Якщо ці моделювання показують на можливий високий відсоток

таких дефектів, то проект слід коригувати і забезпечити кращу тестопридатність і відновлюваність.

Потім опис логічного рівня перетвориться в схеми, після чого проектується топологія кристала і на основі моделювання визначаються реальні фізичні характеристики проекту, такі як площа кристала, тимчасові співвідношення і розсіювана потужність. За отриманими даними можна перевірити проектні норми, визначити параметри схеми і виконати верифікацію проекту.

2.2 Тестування

У більшості випадків тестування можна розглядати як експеримент, в процесі якого на тестований пристрій подається вхідна дія і знімається вихідна реакція, як показано на рис. 2.4.



Рисунок 2.4 – Тестований пристрій

Зазвичай метою експерименту є оцінка технічного стану тестованого пристрою, наприклад, в результаті ми повинні визначити - пристрій справно або несправно. При цьому порівнюється вихідна реакція тестованого пристрою з еталонною реакцією справного пристрою. Якщо реальна вихідна реакція відрізняється від еталонної, то вважається, що пристрій несправний.

У разі тестування цифрового логічного пристрою вхідна дія називається тестовими вхідними наборами, які є двійковими векторами. При цьому кожен біт тестового набору подається на певний вхід (контакт) пристрою. Вихідні реакції, зазвичай, знімаються з вихідних контактів пристрою. Хоча в деяких

випадках можливе спостереження сигналів в спеціальних контрольних точках усередині схеми, які зазвичай для цього недоступні. Еталонні вихідні реакції на тестові набори отримують або шляхом логічного моделювання, або записують з виходів еталонного пристрою. У першому випадку необхідно створити модель схеми і виконати моделювання на цій тестовій послідовності.

Тестування проводиться на різних етапах виробництва, що представлено в таблиці. 2.2.

Зазвичай на етапі виробництва кристал на підкладці тестується до першого неспівпадання з еталонною реакцією, після чого несправна компонента забирається. Тут метою є як можна раннє виявлення несправних компонент і скорочення часу тестування.

Якщо для деяких компонент розроблені декілька функціональних тестів, то, як правило, першим запускається тест, перевіряючий більше несправностей. Зазвичай тести ранжируються по своїй ефективності на основі даних моделювання з несправностями. Кристал, що пройшов тестування на підкладці, далі пакується в корпус і знову тестується, оскільки при цій операції можливе внесення додаткових дефектів, які мають бути виявлені.

Часто інтегральні мікросхеми (ІМС) тестуються на максимально можливій робочій частоті. Це пояснюється тим, що вартість деяких ІМС, наприклад, мікропроцесорів, залежить від їх робочої частоти [2].

Таблиця 2.2 Етапи тестування

Етап	Мета тестування
Виробництво	Тестування виготовлених компонент для відбракування несправних
Виготовлення Підкладки	Тестування кожного кристала на підкладці
Упаковка в корпус	Тестування упакованих чіпів і їх сортування для подальшого використання(військове, комерційне, промислове)

Приймання	Визначення міри відповідності технічним умовам замовника
Вибірковий контроль	Тестування деяких, але не усіх компонентів
Перевірка придатності	Визначення відповідності пристрою специфікаціям
Визначення параметрів	Визначення реальних аналогових і цифрових параметрів і відповідності їх специфікаціям
Випробування з навантаженням	Випробування з підвищеним навантаженням(підвищеною температурою, вібрацією і тому подібне з метою знищення ненадійних компонент)
Прискорене випробування на старіння	Оцінка часу експлуатації пристрою
Діагностика і відновлення	Локалізація дефекту в несправному компоненті
Тестування якості	Визначення якості компонентів пристрою
Функціональний контроль	Тестування в процесі функціонування пристрою в режимі online
Перевірка проектування	Тестування коректності проекту

У разі не проходження перевіряючого теста, часто виконується етап діагностики, де необхідно локалізувати фізичний дефект з деякою точністю. Для цього може знадобитися побудувати додаткові тестові набори. Якщо для спостереження доступні тільки зовнішні вихідні сигнали (контакти роз'єму), то завдання вирішується складніше, ніж у тому випадку, якщо є можливість знімати інформацію з деяких внутрішніх контрольних точок.

Тестування має більше значення для нових проектів на ранній стадії розробки нетипового пристрою. Для стандартних проектів з відлагодженою технологією часто обходяться вибіркоким тестуванням окремих виробів.

При тестуванні пристрою, передусім, необхідно розв'язати три основні проблеми:

1. Знайти тестові дії.
2. Визначити коректність вихідних реакцій.
3. Оцінити ефективність вхідних дій.

При тестуванні цифрових систем вони реалізуються на наступних етапах:

1. Генерація перевіряючих тестів;
2. Логічне моделювання справних схем;
3. Моделювання несправностей;
4. Підготовка діагностичної інформації.

2.3 Загальні принципи логічного моделювання

Існує два основні типи машинних моделей схеми : таблична і програмна. Відповідно до цього використовуються два методи моделювання: інтерпретативний і компілятивний.

Інтерпретативне моделювання використовує модель схеми у вигляді ряду таблиць, пов'язаних системою посилань, є більше універсальним і дозволяє проводити точніший часовий аналіз.

Компілятивний метод моделювання використовує готову скомпільовану машинну програму і тому є більше швидкодіючим за рахунок скорочення операцій пошуку адрес потрібних значень сигналів і викликів підпрограм, які складають істотну частину в інтерпретативному методі.

Процес логічного моделювання складається з подання на зовнішні входи моделі ЦП деякої вхідної дії і послідовного від входів схеми до її виходів обчислення значень виходів логічних елементів і отримання, таким чином, вихідній реакції на задану вхідну дію.

Основними відмінними рисами методів логічного моделювання є: модель сигналів, модель схеми в комп'ютері, спосіб обліку часу поширення сигналів в ЦП, управління черговістю моделювання логічних елементів. Залежно від

вживаних моделей сигналів, методи діляться: за абеткою - на двійкові і багатозначні; по використовуваній моделі схеми в комп'ютері - на інтерпретативні і компілятивні; по обліку поширення сигналів - на синхронні(без урахування затримок логічних елементів) і асинхронні(з урахуванням затримок); по черговості моделювання логічних елементів - наскрізні і подієві. Класифікація методів моделювання представлена на рис. 2.5.



Рисунок 2.5 – Методи логічного моделювання

Основними характеристиками алгоритмів логічного моделювання є адекватність, швидкодія і об'єм пам'яті, необхідний при реалізації. Для комбінаційних ЦП усі алгоритми логічного моделювання гарантують високу адекватність значень сигналів, що встановилися. Моделювання послідовастних ЦП може давати результати різній мірі адекватності із-за різних моделей затримок елементів, невизначеності початкових станів і явища змагань сигналів, що істотно ускладнює моделювання таких пристроїв.

Адекватність моделювання залежить, в основному, від використовуваної моделі ЦП, моделей логічних елементів і сигналів, способу обліку тимчасових співвідношень між сигналами. Найшвидшими є алгоритми двійкового моделювання в алфавіті $\{0, 1\}$ без урахування затримок, де реальний порядок

спрацьовування елементів не береться до уваги. Облік затримок елементів знижує швидкодію. Аналіз перехідних процесів вимагає збільшення значності алфавіту [3]

2.4 Моделі сигналів

В процесі моделювання вхідні, вихідні і внутрішні змінні логічних елементів схеми приймають значення з алфавіту моделювання, використововуваного в цій системі моделювання. Моделлю сигналу називають відповідність між символами алфавіту і реальними фізичними сигналами.

Простим є двійковий алфавіт $\{0, 1\}$, у якому, як правило, "0" відповідає низькому рівню сигналу, а "1" - високому.

Для обліку неоднозначності поведінки ДУ часто використовують трійковий алфавіт $\{0, 1, u\}$, де символ u означає невідоме або невизначене значення сигналу (0 або 1). Символ u зазвичай використовується для моделювання невизначених, у тому числі і початкових, станів елементів пам'яті і невизначеностей, обумовлених явищем змагання сигналів, що виникають при перехідних процесах, викликаних зміною вхідних дій.

Окрім трійкового застосовується п'ятизначний алфавіт $\{0, 1, E, H, u\}$, представлений на мал. 1.6, де 0 - низький рівень сигналу; 1 - високий; E - гладкий перехід з 0 в 1(передній фронт); H - гладкий перехід з 1 в 0 (задній фронт); u - невизначене значення сигналу.

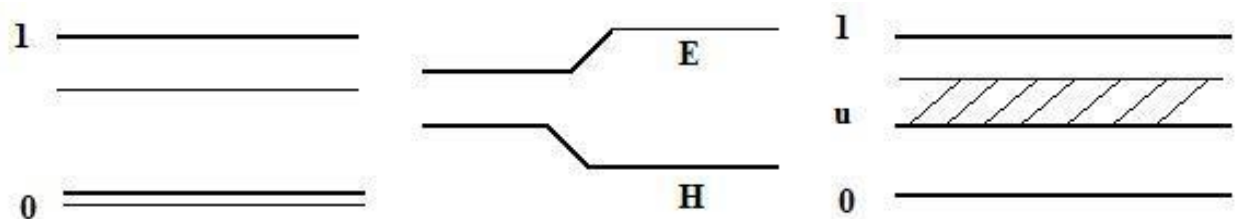


Рисунок 2.6 – П'ятизначний алфавіт

Для деяких технологій(наприклад, КМОП) моделювання навіть певних сигналів в статистиці вимагає введення додаткових символів. Так іноді використовують алфавіт $\{0, 1, \dots, z\}$, де символ z відповідає стану високого імпедансу для схем з виходом, що відключається, а \dots – конфлікту на шині. Нині існує безліч багатозначних алфавітів, які застосовуються в логічному моделюванні і генерації тестів [4].

2.5 Моделі логічних елементів

Моделювання ЦУ кінець з кінцем зводиться до моделювання функцій окремих логічних елементів, які використовуються програмою супервізором. Моделювання одного комбінаційного логічного елемента є обчислення значень його вихідних змінних по заданих вхідних значеннях. Для елемента з пам'яттю необхідно вичислити значення його виходів і змінних наступного стану по заданих вхідних значеннях і поточному стані.

Простою моделлю логічного елемента комбінаційного базису в двійковому алфавіті є таблицна модель, що реалізує його таблицю істинності.

При обчисленні значення виходу за допомогою таблиці істинності необхідно виконати наступні дії:

1. сформувані з двійкових значень входів одне двійкове слово;
2. перевести це двійкове слово в ціле число - i ;
3. визначити значення виходу $z = y[i]$.

Обчислення значення виходу елемента по цих значеннях входів зводиться до отримання індексу і вибірки з його допомогою потрібного значення.

Таблиці $zoom$, при використанні таблиць істинності в моделюванні необхідно спочатку визначити тип відповідного логічного елемента. Тому визначення типу елемента і власне обчислення вихідного значення виконуються в два етапи. Ці два кроки можна об'єднати в один таким чином:

Нехай t є номером типу елемента і S - максимальний розмір таблиці істинності(для усіх типів). Тоді можна побудувати таблицю $zoom$ розміру $t \times S$,

в якій зберігаються t таблиць істинності, які розпочинаються з позиції 0, S, .. (t - 1) S. Для обчислення значення виходу елемента з використанням такої таблиці необхідно упакувати тип елемента і значення його входів в одне слово, яке визначає індекс в таблиці zoom.

Застосування zoom таблиць дозволяє значно прискорити процес обчислень, оскільки замінює послідовність обчислень одним кроком вибірки необхідного.

Поширеним методом побудови моделей є складання програми за допомогою логічних операторів мови високого рівня (наприклад, C) або асемблера безпосередньо за логічним виразом булевої функції або логічною схемою, побудованим за допомогою операцій кон'юнкції, диз'юнкції і заперечення (іноді і).

На відміну від табличних методів, в яких модель елемента представлена фактично структурою даних, а сама програма обчислення значення виходу є універсальною, тут модель елемента представляється безпосередньо програмою (і вона унікальна для кожного типу елемента). Часто програмна модель компілюється на основі структурної моделі автоматично, компілюється в машинний код і далі використовується при моделюванні шляхом виклику відповідної функції [8].

2.6 Моделі затримок логічних елементів

При логічному моделюванні найважливішим чинником, що визначає достовірність моделі по відношенню до реальної схеми, являється облік затримок поширення сигналів через елементи. Розглянемо способи представлення затримок, їх особливості і обмеження.

Простою формою модельної затримки є модель транспортної затримки, при якій логічний елемент розглядається таким, що складається з двох каскадів, як це показано на рис. 2.7. При цьому в першому каскаді реалізується його логічна функція (передбачається миттєве поширення сигналу від входу до

виходу), а другий каскад моделює затримку поширення сигналу від входів елемента до його виходу.

На практиці застосовуються різні моделі транспортної затримки

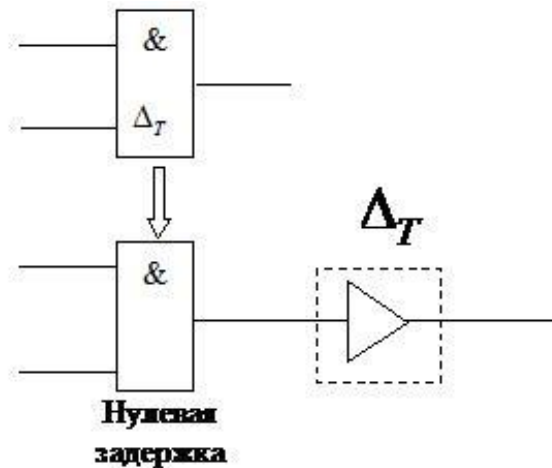


Рисунок 2.7 – Модель транспортної затримки

При моделюванні без урахування затримок елементів, зокрема, коли час затримки приймається рівним нулю, використовують модель з нульовими затримками. Модель з нульовими затримками застосовується тільки для моделювання комбінаційних і синхронних послідовастних схем.

Модель, в якій часи затримок усіх логічних елементів вважаються однаковими, носить назву моделі з єдиною(чи одиничною) затримкою. Завдяки тому, що елементам присвоєні затримки, з'являється можливість обробляти асинхронні схеми із зворотними зв'язками і проводити хоч би наближений аналіз тимчасових співвідношень в схемі. У загальному випадку, проте, слід враховувати те, що різні типи логічних елементів мають різні затримки. Тому адекватнішою є модель з номінальними затримками, при якій кожному логічному елементу привласнюється своє цілочисельне значення затримки, вимірюване в одиницях модельного часу. Для того, щоб здійснити те, що відповідає цьому випадку моделювання, в якості базової одиниці модельного

часу зазвичай використовують найбільшого загального дільника часів затримок (T елементів і привласнюють значення затримок відповідно до їх кратності [6].

У ряді випадків використовують для одного і того ж елементу різні значення затримок для переднього і заднього фронтів сигналу. Наприклад, в схемах на МОН-структурах час затримки спаду сигналу (F) може в 3 рази перевищувати час затримки переднього фронту (R). В даному випадку при моделюванні тривалість (позитивного) імпульсу може збільшуватися, як це має місце на рис. 2.8 а ($T = 2$ для елементів В, D і $T = 1$ для елементів А, С і D).

Відповідно більше значення затримки наростання фронту в порівнянні із заднім фронтом може привести до зменшення тривалості імпульсу (рис. 2.8 б). В той же час, при деяких співвідношеннях часів затримок переднього фронту і спаду можливі випадки, коли моделювання показує неможливі з практичної точки зору події (рис. 2.8 в), коли задній фронт "обганяє" передній. Для виключення подібних ситуацій в процесі моделювання слід передбачати спеціальні заходи.

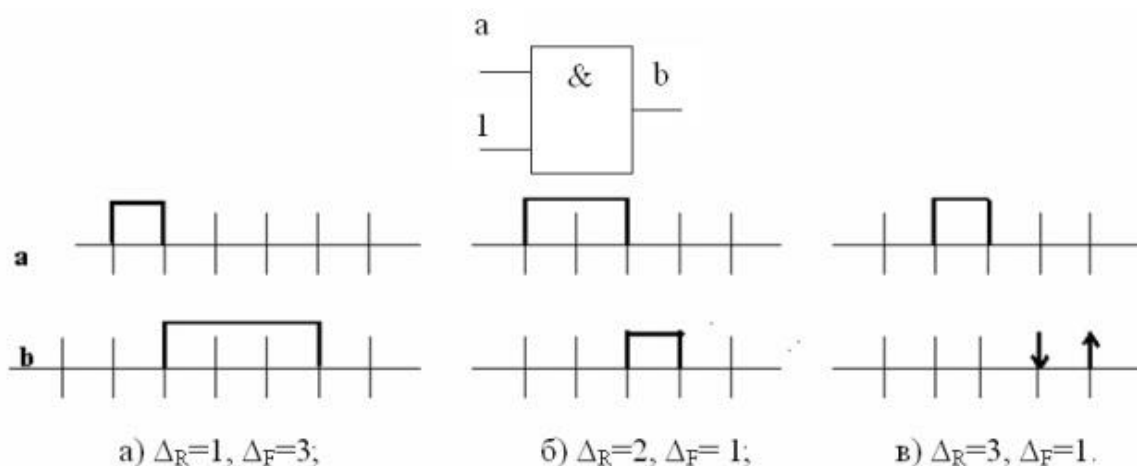


Рисунок 2.8 – Різні затримки наростання фронту і спаду

Визначити точне значення затримки для цього типу логічного елементу досить важко, оскільки завжди існує розкид значень (в силу технологічних причин, впливу зовнішнього середовища і тому подібне). Тому іноді для підвищення точності моделювання вказують деякий діапазон очікуваних

затримок. Таку модель називають моделлю з невизначеною затримкою. Модель, в якій в якості кінців діапазону вказують максимальний час затримки (M) і мінімальний час затримки (m), носить назву моделі з максимальною і мінімальною затримками. З їх допомогою можна промодельовати велике число складних тимчасових ситуацій, що зустрічаються в реальній схемі. Аналогічним чином, при моделюванні з невизначеною затримкою відповідно до найгіршого випадку кожного разу при проходженні сигналу через елемент діапазон невизначених значень u розширюється.

Модель інерційної затримки (I елементу). У це поняття вкладають наступний сенс - якщо на вхід елементу подається вхідний імпульс тривалістю менше інерційної затримки (I), то елемент не пропускає його (вихідний сигнал не змінюється). Введення такої затримки дозволяє моделювати ситуації в реальних схемах, коли елементи не устигають спрацювати на коротких імпульсах внаслідок своєї інерційності. Якщо, наприклад, ($I = 2$), то, як показано на рис. 2.9, при ширині імпульсу 1 (i менш) не можна отримати зміну сигналу на виході елементу.

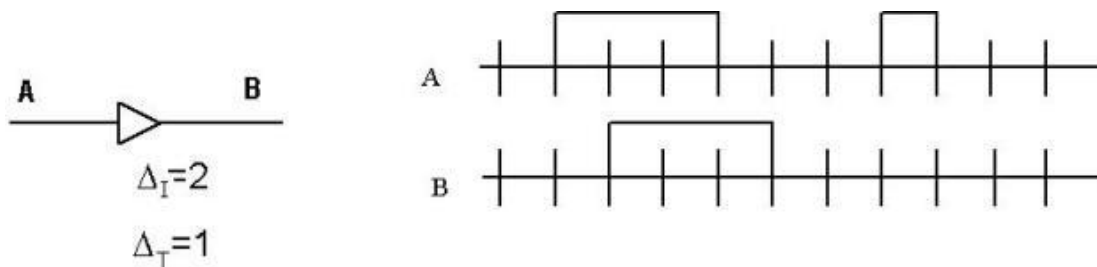


Рисунок 2.9 – Інерційна затримка

2.7 Аналіз змагань

2.7.1 Явище змагання сигналів

Змагання сигналів в реальних ЦП виникають внаслідок того, що зміна вхідних сигналів при поданні наступного набору відбувається не одночасно і існує розкид затримок елементів в схемі. Схема, що реалізовує булеву функцію

$f(X)$, утримує статичне (динамічне) змагання на переході між двома двійковими наборами $A = (a_1, \dots, a_n)$ і $B = (b_1, \dots, b_n)$, якщо $f(A) = f(B)$, ($f(A) \neq f(B)$) і під час переходу на виході схеми може виникнути один або декілька короткочасних імпульсів. Статистичне змагання називається 1-состязанием, якщо $f(A) = f(B) = 1$ і 0-состязанием, якщо $f(A) = f(B) = 0$. Динамічне змагання називається 1-0-состязанием, якщо $f(A) = 1$, $f(B) = 0$ і 0-1-состязанием, якщо $f(A) = 0$, $f(B) = 1$. Як статистичні, так і динамічні змагання можуть бути двох типів: функціональні і логічні [7].

Висновок до розділу рівні і області моделювання

Були розглянуті різні види затримок і пов'язані з ними проблеми. Для точнішого моделювання можна розглядати поєднання різних видів затримок. Проте це значно збільшує час моделювання і неприйнятно з точки зору практичного використання. Реальний шлях полягає в тому, що слід враховувати вплив затримок за допомогою моделей, що не викликають труднощів при моделюванні. Наприклад, можна застосовувати послідовно такі засоби:

1. логічна верифікація з використанням тільки моделі з одиничними затримками;
2. моделювання з урахуванням різних затримок для підйому і спаду сигналів;
3. моделювання з використанням моделі з невизначеною затримкою;
4. моделювання з використанням статистичних методів обчислення затримки.

При автоматизації проектування і діагностування цифрових пристроїв (ЦП) широке застосування знаходять системи моделювання. Для представлення пристроїв вони вимагають відповідних математичних моделей. При проектуванні ЦП слід розрізняти моделі пристроїв і їх специфікації. Специфікації описують пристрій в термінах отримуваних результатів проектування, таких як схеми, тимчасові діаграми і тому подібне.

3. ФІЗИЧНІ ДЕФЕКТИ І НЕСПРАВНОСТІ

3.1 Дефекти і несправності

Фізичні дефекти проявляються на електричному і логічному рівні у вигляді відмов різних видів. Відмови моделюються(представляються) несправностями на логічному і функціональному рівні. Відображення з фізичної області на логічний і функціональний рівень полегшує процес виявлення відмов. При цьому проблема аналізу несправностей переноситься з фізичного рівня на логічний або навіть функціональний (поведінковий) рівень. Складність такого аналізу істотно зменшується, оскільки багато фізичних дефектів можна моделювати однією і тією ж несправністю на логічному або функціональному рівні. Деякі несправності (моделі логічного або функціонального рівня) не залежать від технології виготовлення інтегральних схем в тому сенсі, що одна і та ж модель - несправність застосована до різних технологій. Отже, розроблені методи тестування і діагностики для таких несправностей можуть бути використані для різних технологій. Тести, побудовані для несправностей (логічного рівня), можуть бути використані при аналізі таких фізичних дефектів, чий ефект на рівні електричних схем неясний або вимагає значних обчислювальних ресурсів при його моделюванні.

Оскільки при моделюванні елементів розрізняємо логічні функції і їх тимчасові характеристики, то надалі також відрізнятимемо логічні несправності, які змінюють логіку елементів, і несправності типу "затримка", які впливають на швидкодію комп'ютерних систем.

Логічна несправність може бути визначена явним або неявним чином. При явному завданні несправності необхідно індивідуально для цього дефекту в якому-небудь виді задати функцію, що реалізовується елементом. Такий підхід вимагає значних ресурсів і часто непридатний на практиці. Неявна модель визначає зазвичай деякий клас моделей – несправностей, які мають

деякі характерні властивості (наприклад, константні несправності, які еквіваленти постійним сигналам на лініях схеми).

При заданій несправності і моделі системи в загальному випадку можемо знайти логічну функцію системи за наявності цієї несправності. Таким чином, модель несправності тісно пов'язана з видом моделі цифрової системи. Ті несправності, які визначаються на структурній моделі системи, називаються структурними несправностями. Їх ефект, як правило, зводиться до зміни з'єднань компонентів. Функціональні несправності визначаються на функціональній моделі системи.

Типовими несправностями з'єднань компонентів системи є обрив і замикання. Обрив відповідає порушенню з'єднання компонентів схеми. Причиною порушення з'єднання може бути недолік або відсутність матеріалу, що проводить, наприклад, в металевому провіднику. З іншого боку, відсутність з'єднання може виникнути внаслідок наявності зайвих часток діелектрика, наприклад, між шарами, що проводять. Замикання утворюється в результаті з'єднання ліній схеми, які в справній системі ізольовані один від одного. Воно може бути викликане наявністю зайвих часток, що проводять, між провідниками, пробоем оксиду в МОН-структурах, який утворює з'єднання з деяким невеликим, але необов'язково нульовим опором і тому подібне

На рис. 3.1 а представлено зображення частки домішок в інтегральній схемі, які викликають замикання. У загальному випадку можуть замкнутися декілька ліній, провідників. Припустимо для простоти, частка що замикає дві лінії, як це показано на рис. 3.1 б. На логічному рівні цей вид відмови може інтерпретуватися різними способами залежно від вживаних технологій і зв'язку між двома металевими лініями.

На рис. 3.1 в, г показані можливі чотири ситуації. Одна з ліній, що проводять, може бути сполучена з джерелом живлення або із землею (рис. 3.1 в), що веде до установки виходу інвертора у високу або низьку напругу. Ця ситуація моделюється поодинокими константними несправностями $const\ 1$ (stuck-at 1) і $const\ 0$ (stuck-at 0) відповідно, які представлені на рис. 3.1 в.

На рис. 3.1 г представлений випадок замикання ліній, що проводять, сполучених з контактами вентилів. Ліворуч показана ситуація замикання виходів двох різних вентилів, яка моделюється так званою "простою мостиковою несправністю". Справа показаний випадок замикання виходу вентиля зі своїм входом, що представляється "мостиковою несправністю із зворотним зв'язком" [9].

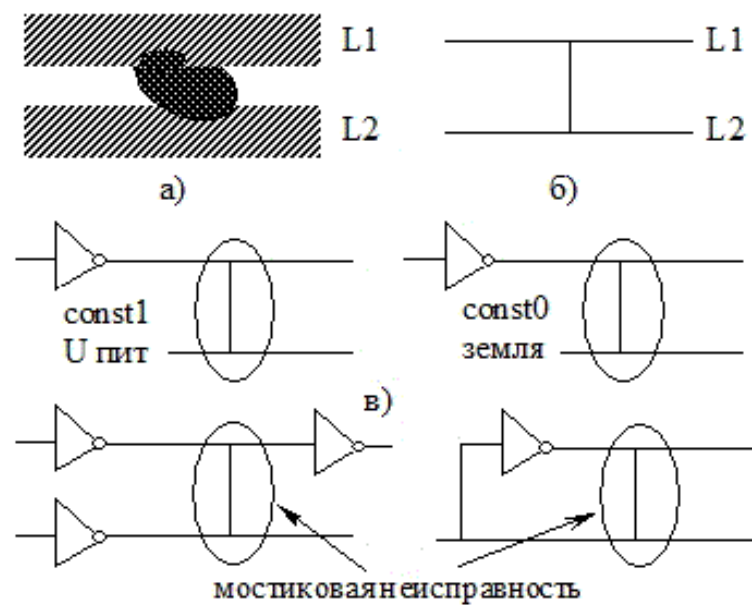


Рисунок 3.1 – Дефект "замикання" і можливі несправності, що відповідають йому, залежно від типу ліній, що замикаються

Приведемо визначення і простий приклад дефекту, несправності і помилки.

Визначення 3.1. Дефектом в електронній системі називається неумисна відмінність між реалізованим і проєктованим устаткуванням.

Визначення 3.2. Помилкою називається неправильний вихідний сигнал, вироблюваний системою, що містить дефект.

Визначення 3.3. Представлення дефекту на абстрактному функціональному рівні назвемо несправністю.

3.2 Фізичні дефекти

Фізичні дефекти залежать від технології виготовлення і підкладки інтегральних схем. Типовими дефектами інтегральних схем є:

- дефекти виробництва ІМС – пропущені при металізації контактні вікна або ділянки оксиду, паразитичні транзистори, пробій оксиду (у МОН-структурах) і тому подібне;
- дефекти матеріалів - об'ємні дефекти (тріщини, недосконалість кристала), нечистота поверхні, наколювання або вкраплення оксиду, погрішності того, що труїть і так далі;
- дефекти старіння – пробій діелектриків, електричне перенапруження, нестабільність поверхневого потенціалу, електроміграція і так далі;
- дефекти упаковки – погіршення контакту, витік в перемичках.

Дефекти виникають або в процесі виготовлення, або при експлуатації комп'ютерних систем. Фізичні дефекти відбуваються внаслідок або помилок людини, або неправильної роботи технологічного устаткування. Часте повторення одного і того ж дефекту показує на необхідність поліпшення процесу виробництва або проектування цього пристрою.

Оскільки технологічний процес виробництва плат істотно відрізняється від виготовлення ІМС, то на цьому етапі мають місце інші фізичні дефекти. У таблиці 3.1 представлені типові фізичні дефекти, що виникають при виготовленні друкованих плат з частотою виникнення.

ІМС можуть виходити з ладу на різних етапах експлуатації ("життя"). Відношення інтенсивності відмов до терміну "життя" описується добре відомою U-образної кривої, представленої на рис. 3.2.

Дефекти, які можуть бути виявлені візуально і шляхом оптичного сканування, проявляються у багатьох ІС впродовж 20 тижнів їх експлуатації. Для сучасних ІС основним чинником старіння є перегрівання внаслідок високої щільності розміщення транзисторів і використовуваних надвисоких частот.

Таблиця 3.1. Типи дефектів

Тип дефекту	Частота
Замикання	51
Обриви	1
Пропущені компоненти	6
Неправильні компоненти	13
Перевернуті компоненти	6
Вигин провідників	8
Неправильні аналогові специфікації	5
Неправильна цифрова логіка	5
Дефекти характеристик	5



Рисунок 3.2 – Залежність інтенсивності відмов від часу

3.3 Типові моделі несправностей

Несправність є моделлю, яка представляє ефект фізичного дефекту на логічному або функціональному рівні. Декілька різних дефектів можуть представлятися однією і тією ж несправністю (має місце відношення "багато до

одного"). З іншого боку, одному фізичному дефекту іноді може відповідати декілька несправностей (відношення "один до багатьом"). Несправність зазвичай має ясніше трактування, ніж фізичний дефект. Будучи моделлю, несправність не завжди точно відповідає фізичному дефекту, але використовувані моделі - несправності, як правило, корисні(ефективні) при виявленні дефектів. Класичним прикладом є поодинокі константні несправності, хоча очевидно, що ця модель не точно описує усі фізичні дефекти. Але тести, побудовані для цих несправностей, виявляються ефективними і для інших типів несправностей. Проте, як і будь-яка модель, константні несправності не описують усіх можливих дефектів. Особливо це стосується сучасною МДП-технології. Тому розроблені інші моделі-несправності (зокрема, типу транзистор "постійно відкритий або закритий"), які адекватніше відбивають фізичні дефекти цієї технології. У таблиці 3.2 представлені найбільш поширені типові моделі несправності [10].

Таблиця 3.2. Моделі несправностей

Моделі несправностей	Опис
Поодинокі константні несправності (stack-at faults s-a-0, s-a-1)	Одна лінія схеми набуває постійного значення 0 або 1
Кратні константні несправності (multiple stack-at faults)	Дві або більше за лінії схеми мають постійні значення сигналів
Мостиковые несправності (bridging faults)	Дві або більше за лінію схеми, значення сигналів на яких не залежать один від одного в справній схемі, стають електрично пов'язаними в несправній
Несправності "стійке замикання транзистора" ("stuck-on"-SON, "stuck-short" faults)	У КМОП логіці транзистор знаходиться постійно в замкнутому(що проводить) стані
Несправності "стійке замикання транзистора" ("stuck-on"-SON, "stuck-short" faults)	У КМОП логіці транзистор знаходиться постійно в замкнутому(що проводить) стані
Несправності транзистор "стійкий обрив транзистора" ("stuck-open"-SOP faults)	У КМОП логіці транзистор знаходиться постійно в розімкненому(що не проводить) стані. При цьому зазвичай він відключений або від живлення, або від землі і поводить себе при цьому як елемент пам'яті.
Несправності "затримка"	Викликається затримкою поширення сигналів в одному або більше шляхах схеми
Несправності, що переважають	Викликаються погіршенням внутрішніх параметрів схеми. Неправильні сигнали виникають при деяких, але не усіх станах

	схеми. Погіршення параметрів прогресує до тих пір, поки не проявиться як постійна несправність
Нестійкі несправності	Неправильні значення сигналів викликаються "наведеннями". Наведення може бути ємнісним через шину живлення або індуктивної
Дефектно орієнтовані несправності (defect oriented faults)	Несправності електричного або логічного рівня, які викликаються дефектами на фізичному рівні
Функціональні несправності	Використовуються у тому випадку, коли цифрові системи описуються на функціональному рівні за допомогою мов опису апаратури і представляються також мовними засобами. Повнота тестів також оцінюється на функціональному рівні(покриття шляхів, галужень і тому подібне)
Несправності рівня МРП	Відповідають неправильному виконанню мовних конструкцій ЯРП
Нетестовані несправності (untestable faults)	Несправності, для яких не може бути побудований тест. Серед них: 1) надмірні несправності, чия присутність не змінює поведінки схеми; 2) несправності, що викликає неправильну поведінку схеми, але тести для них не можуть бути побудовані цими методами. До них відносяться, наприклад, несправності, що перешкоджають ініціалізації послідовальностных схем

Моделі несправності тісно пов'язані з моделями цифрових систем. Очевидно, що моделям схем різних рівнів абстракції, розглянутим, відповідають також моделі несправностей також різних рівнів.

3.4 Константні несправності

3.4.1 Модель константних несправностей

Для визначення константних несправностей використовуємо структурну модель у вигляді логічної схеми. Вважаємо, що поодинокі константні несправності діє тільки на з'єднання між вентилями(при цьому логічні елементи функціонують правильно). Кожна лінія схеми може мати два типи цих несправностей : константа 0 і константа 1 (s-a-0, s-a-1). Отже, константна

несправність фіксує на цій лінії постійне значення сигналу 0 або 1 ($s-a-0$, $s-a-1$), незалежно від значення, що подається на неї сигналу. Часто такі несправності моделюють замикання лінії схеми на землю ($s-a-0$) або джерело живлення ($s-a-1$). Приклади фізичних дефектів, що представляються цією моделлю, показані на рис. 3.3. На рис. 3.3 а показано замикання входу біполярного транзистора вентиля XOR на землю. Це фізичний дефект моделюється несправністю $s-a-0$. Аналогічно на рис. 3.3 б показаний пробій оксиду вентиля, реалізованого по КМОП технології, який також моделюється несправністю $s-a-0$.

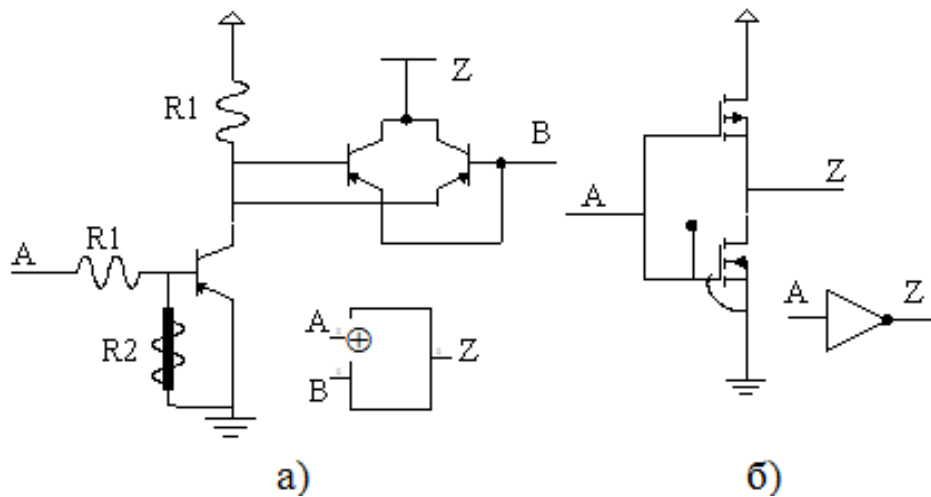


Рисунок 3.3 – Приклади фізичних дефектів,
що представляються константними несправностями

Надалі ця модель використовуватиметься для генерації тестів незалежно від її адекватності реальних фізичних дефектів. Відмітимо, що для деяких технологій (наприклад, ТТЛ) адекватність цієї моделі досить висока, для інших (КМОП) нижче. Але в цілому, ця модель надзвичайно корисна в силу своєї виняткової простоти і задовільної адекватності, і тому використовується як базова для багатьох методів моделювання несправностей і генерації тестів.

Фізичний дефект може моделюватися і кратною константною несправністю, при якій декілька ліній набувають постійного значення 0 або 1 одночасно. Число кратних константних несправностей росте експоненціально з

числом несправних ліній m , що становлять цю несправність. Для схеми з N лініями є 2^N поодиноких константних несправностей і 3^N всіляких кратних константних несправностей (включаючи і поодинокі), оскільки кожна лінія може бути справною, або мати несправності $s-a-0$, $s-a-1$ (3 можливих події) [5]/

3.4.2 Скорочення списків несправностей

Оскільки число навіть поодиноких константних несправностей досить велике для великих схем і час моделювання несправних пристроїв і тим більше генерацій тестів істотно залежить від кількості оброблюваних несправностей, та початкова безліч несправностей на етапі препроцесорної обробки бажано скоротити.

Визначення 3.4. Дві несправності f_1 і f_2 назвемо еквівалентними, якщо будь-який тестовий набір, перевіряючий одну несправність, перевіряє також і іншу. Таким чином, їх тестова безліч T_1 і T_2 ідентична:

$$T_1 \subseteq T_2, \quad T_2 \subseteq T_1$$

Для таких несправностей очевидно $f_1(A) \oplus f_2(A) = 0$ для довільного набору A .

У загальному вигляді, локальне скорочення списку несправностей для вентиля виконується згідно з наступними правилами:

1. Для вентиля з n входами з усіх $2(n+1)$ можливих несправностей необхідно розглядати $(n+1)$ поодиноких константних несправностей.
2. При цьому віддаляються обидві несправності $s-a-0$, $s-a-1$ виходу будь-якого вентиля і залишаються поодинокі константні несправності типу $s-a-0$, $(s-a-1)$ для кожного входу вентиля АБО, НЕ-АБО (I, НЕ-И) і одна несправність будь-якого входу протилежного типу $s-a-1$ для АБО, НЕ-АБО ($s-a-0$ для I, НЕ-I).
3. Поодинокі константні несправності виходу вентиля НЕ і неінвертуючого буфера віддаляються, а входу – оставляються.

4. Для вузла розгалуження скорочення несправностей не проводиться, оскільки між ними немає відношення еквівалентності і домінування.

Далі, використовуючи стосунки еквівалентності і домінування несправностей для окремих вентилів, ми можемо розповсюдити його на несправності усієї схеми [6].

3.5 Неконстантні несправності

3.5.1 Замикання

Несправності типу замикання мають місце у тому випадку, коли відбувається з'єднання двох або більше за лінії схеми і утворюється "дротяна логіка" (wired logic) в місці виниклого електричного зв'язку. Кратні замикання (з'єднання більше двох ліній) виникають зазвичай на зовнішніх входах ІМС. Нині число дефектів, що ведуть до замикань, збільшується внаслідок зменшення розмірів схем і збільшення щільності вентилів в кристалі. Очевидно, що число простих замикань (між двома лініями) в схемі, що має m ліній рівно $m(m-1)/2$. Проте, звичайно, не усі лінії схеми можуть замкнутися між собою. Тому реальне число можливих замикань істотно менше і залежить від підкладки (фізичного сусідства провідників).

Поведінка логічної схеми при замиканні залежить від технології виготовлення цієї схеми. Наприклад, в ТТЛ логіці замикання моделюється дротяним И. Навпроти, у разі ЭСЛ логіки в місці замикання реалізується дротяне АБО. Для КМОП технології логічна функція, що реалізовується при замиканні, залежить від типів логічних вентилів і їх характеристик по струму.

Слід зазначити, що дефекти замикання можуть викликати функціональні зміни в логічній схемі, які не можна представити традиційними моделями – несправностями.

Відмітимо, що замикання можуть перетворювати комбінаційні схеми в послідовастні. Наприклад, замикання у вентилі НЕ-АБО, реалізованого в КМОП технології, може перетворити цей вентиль в схему з пам'яттю. До цього

ефекту приводить також замикання виходу вентиля зі своїм входом. При цьому збільшується число станів послідовастної схеми.

3.5.2 Транзисторні несправності ("стійкий обрив транзистора" і "стійке замикання транзистора")

Деякі фізичні дефекти в КМОП технології не можуть бути представлені константними несправностями. Головна причина полягає в тому, що МОН комбінаційні схеми не завжди залишаються комбінаційними при деяких фізичних дефектах. Найбільш поширеними є наступні види відмов в МОН технології: 1) обрив і замикання транзисторів; 2) обриви між стоком, виток і затвором; 3) короткі замикання: витік-стік, затвор-стік, затвор-витік. Дефекти третьої групи зазвичай обумовлені пробоем оксиду. Моделі цих дефектів показані на рис. 3.4 для МОН транзисторів вентилів з n-провідністю на основі полікристалічного кремнію.

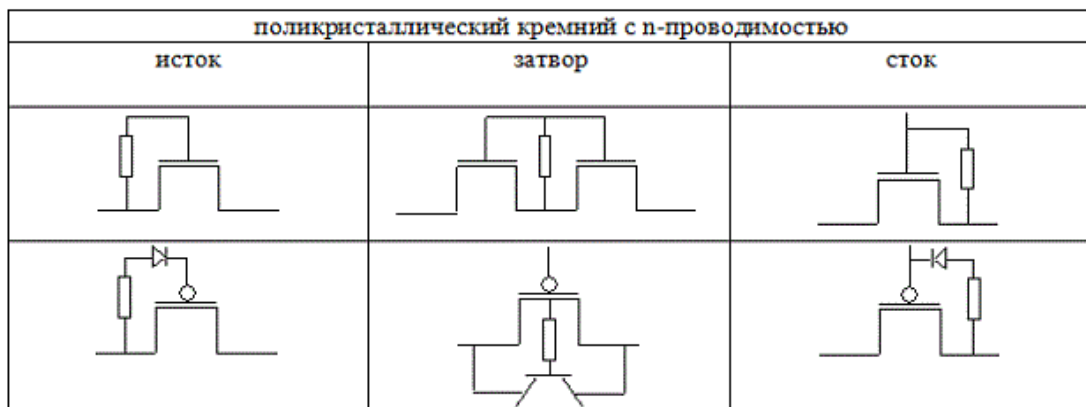


Рисунок 3.4 – Моделі дефектів МОН-транзисторів

Такі несправності називаються "Резистивними замиканнями". Показано, що вони можуть моделюватися на рівні електричних схем опором для n-канальних транзисторів і опором і діодом для p-канальних транзисторів. Попри те, що тут величина опору мала, часто ці дефекти є такими, що не перевіряють і на функціональному рівні схема поводить себе правильно. Проте при цьому

змінюються тимчасові властивості схеми – збільшується час затримки вентиля. Далі ми розглянемо, в основному замикання з нульовим опором [11].

При розгляді несправностей для схем, виконаних по МОН технології при моделюванні транзистора корисно використати модель "ідеального ключа". Тоді деякі фізичні дефекти моделюються на рівні перемикача несправностями типу ключ "постійно відкритий" або "постійно закритий". Але, в загальному випадку, логічний вентиль містить декілька транзисторів(ключів). При цій моделі передбачається, що тільки один транзистор(ключ) може бути "постійно замкнутий" (stuck – on – SON) або "постійно відкритий" (stuck – open – SOP). Покажемо ці моделі несправностей на наступних прикладах.

Розглянемо несправність типу SOP для вентиля НЕ-АБО, виконаного по КМОП технології, який представлений на рис. 3.5.

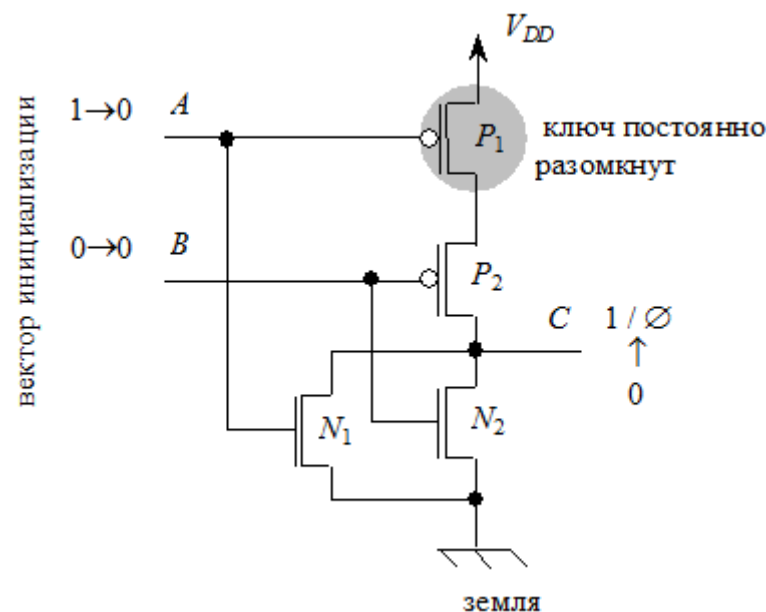


Рис. 3.5 – Несправність транзистор "постійно розімкнений"

Тут P_1 і P_2 - р- канальні МОН транзистори, які замкнуті при нульових значеннях входів $A = 0$, $B = 0$. При цих же значеннях входів п-канальні транзистори N_1 і N_2 розімкнені. Таким чином, значення входів $A = 0$, $B = 0$, сполучають вихід вентиля C з джерелом живлення і ізолюють його від землі ($C = 1$). Будь-яке значення входів $A = 1$ або $B = 1$ сполучає вихід вентиля із

землею і ізолює його від джерела живлення ($C = 0$). Розглянемо поведінку цього вентиля при несправності транзистор P_1 "постійно розімкнений".

При нульових значеннях входів $A = 0$, $B = 0$, в несправному вентилі тільки транзистор P_2 замкнений і вихід вентиля C ізолюваний (від'єднаний) від джерела живлення. Транзистори N_1 і N_2 при цьому залишаються розімкненими. Таким чином, при цій несправності вихід вентиля від'єднаний і від джерела живлення і від землі, тобто знаходиться у відключеному стані \emptyset . У реальній схемі вихід C має деякий залишковий електричний заряд, що скупчився при попередніх значеннях входів, на паразитичній місткості. Для виявлення несправності ми повинні переконатися в тому, що вихід вентиля C може поміняти значення \emptyset (стан високого імпедансу) на 0 . Це можна зробити шляхом ініціалізації першим набором $A = 1$, $B = 0$, який повинен у становить вихід $C = 0$ (він забезпечує розряд місткості на землю в несправній схемі), і подальшим поданням другого вхідного набору $A = 0$, $B = 0$, який справну схему встановлює в $C = 1$, а несправна залишається в стані $C = 0$. Таким чином, повний тест для цієї несправності складається з двох наборів вхідних значень $10 \rightarrow 00$, які в справному вентилі проводять вихідний сигнал $0 \rightarrow 1$, а в несправному – $0 \rightarrow 0$. Алгоритми генерації перевіряючих тестів на рівні перемикача дозволяють автоматизувати подібні процедури [12].

3.5.3 Несправності типу "затримка"

У сучасних цифрових системах можливі ситуації, коли схема структурно і логічно коректна, але час поширення сигналів по деяких її шляхах перевищує допустиме для правильного функціонування значення. У таких випадках говорять про наявність несправності типу "затримка"(поширення сигналів). Такі несправності не можуть бути виявлені на низькій частоті роботи схеми. Метою тестування несправностей "затримка" є визначення правильного функціонування схеми на високих тактових робочих частотах. При цьому виявляється, чи містить схема шляху поширення сигналів, які є занадто

повільними або швидкими при зміні вхідних наборів. Для цих цілей використовуються дві основні моделі:

1. затримка вентиля,
2. затримка шляху.

Перша модель припускає, що затримка обумовлена в несправним логічним елементом. Слід зазначити, що час перемикання елемента, може залежати від напрямку зміни сигналу – його підйому або спаду. Це є недоліком цієї моделі, оскільки не дозволяє в затримці одного елемента врахувати затримки інших елементів шляху. Очевидно, тут також повністю ігноруються затримки з'єднань між елементами.

Друга модель бере до уваги загальну затримку поширення сигналу від зовнішнього входу до зовнішнього виходу схеми. Хоча ця модель вимагає розгляду занадто багатьох можливих шляхів в схемі, вона реалістичніша, особливо для сучасних технологій, де затримки поширення сигналів мають місце, передусім за рахунок ліній з'єднань. Як правило, тестування затримок проводиться шляхом подання на схему пари вхідних наборів на бажаній швидкості і спостереженні для кожного виходу швидкості, що змінився, його перемикання.

3.5.4 Тимчасові несправності

При цих несправностях відбувається тимчасова поява неправильних сигналів в схемі. Вони зустрічаються в різних цифрових елементах, але найчастіше в мікросхемах пам'яті і мікропроцесорів. Серед цих несправностей розрізняють "короткочасні" "збої".

Короткочасні несправності відбуваються, коли сигнали міняють своє значення внаслідок, наприклад, шумів. Такі несправності важко виявити і виправити. Тут важливо мінімізувати шуми і підвищити завадозахищеність схеми. Ці несправності можуть бути викликані, наприклад, флуктуаціями напруги, метастабільною тригерів або космічним випромінюванням.

Збої є однією з причин відмов при експлуатації комп'ютерних систем. Дуже мало відомо про спонтанні відмови, оскільки вони погано піддаються спостереженню. Серед них можна виділити кодозалежні несправності, які зустрічаються в мікросхемах пам'яті і мікропроцесорах. Для цих несправностей розроблені відповідні методи тестування [13].

3.5.5 Перехресні несправності

Внаслідок технологічного прогресу, який веде до збільшення щільності на кристалі, зростанню числа перетинів шарів, що проводять, і підвищенню робочої частоти, тестування класичних константних несправностей нині явно недостатньо, оскільки необхідно аналізувати фізичні дефекти, які впливають на тимчасові характеристики схеми. Особливо це характерно для глибокого субмікронного проектування. Збільшення числа транзисторів на кристалі веде до того, що більша кількість елементів перемикається одночасно, що може зменшити для них рівень напруги і збільшити затримки поширення сигналів. При цьому деякі пересічні лінії, які передбачалися електрично ізольованими, можуть взаємодіяти один з одним. Одна з подібних взаємодій, викликане паразитичним ємнісним зв'язком між провідниками, називається "crosstalk"(перехресна перешкода), може привести до функціональних проблем і погіршити тимчасові характеристики.

Зазвичай розглядаються два основні типи перехресних перешкод :

- 1) "crosstalk" індуковані імпульси;
- 2) "crosstalk" індуковані затримки.

У першому випадку лінія, що швидко перемикається, – "агресор" (aggressor) може індукувати короткий імпульс на статичній лінії – "жертві" (victim). Залежно від амплітуди і ширини ці імпульси можуть робити істотний вплив на характеристики схеми.

Другий випадок(індуковані затримки) має місце тоді, коли на лініях "агресорові" і "жертві" відбуваються (майже) одночасні переходи сигналів.

Якщо на обох лініях переходи в одному напрямі, то час переходу скорочується і, отже, зменшується час затримки поширення сигналів. Цей ефект називається "Перехресним прискоренням" ("crosstalk speedup"). Сильний "агресор" може викликати затримку поширення сигналу на лінії – "жертві", яка має протилежне значення сигналу. Якщо на лініях "агресорові" і "жертві" відбуваються переходи сигналів в протилежних напрямках, то час переходу збільшується і має місце ефект "перехресного уповільнення" ("crosstalk slowdown"). Якщо викликаний шум на лінії – "жертві" більше порогової напруги або індукована затримка більше за допустиму, то це може привести до логічних відмов або функціональних проблем на сусідніх тригерах або виходах.

Несправності першого типу "crosstalk glitch" – індуковані імпульси викликаються наведенням між близько розташованими провідниками, які мають незбалансовані значення драйвера і навантаження.

Перехресні несправності викликаються паразитичними наведеннями між сусідніми лініями, що проводять, які мають, в основному, ємнісні складові, оскільки для інформаційних ліній в схемах домінують ємнісні зв'язки. На рис. 2.6 показана модель перехресного (crosstalk) ефекту, де $C1$ і $C2$ представляють місткості між лініями і землею, і $C12$ – місткість між сусідніми лініями. Величина імпульсу залежить від відношення місткостей $C1$ і $C2$ до $C12$.

Коли на "сильній" лінії ("агресорові") відбувається зміна сигналу, а на "слабкій" лінії ("жертві") зберігається постійний сигнал, то внаслідок ємнісного зв'язку на жертві може виникнути короткочасний імпульс (glitch), що показано на рис. 3.7 а. Якщо цей імпульс запам'ятовується в елементі пам'яті, то він далі поширюється за схемою, що може привести до її неправильного функціонування. Умовою виникнення індукованого імпульсу є $C12 > C1, C2$, і $DS_{akt} > DA_{pas}$, де DS_{akt} і DA_{pas} означають співвідношення, що управляють, для активної ("агресор") і пасивної ("жертва") лінії. Ці умови дозволяють відбирати кандидатів в пари "агресор-жертва" за наявності інформації про підкладку [14].

Якщо мають місце переходи сигналів на лініях "агресорові" і "жертві" в одному напрямі, то, як показано на рис. 3.7 б відбувається прискорення сигналу – час переходу зменшується. Якщо ж переходи на лініях мають протилежні напрями, то спостерігається уповільнення сигналу - час переходу збільшується, що представлені на рис. 3.7 в.

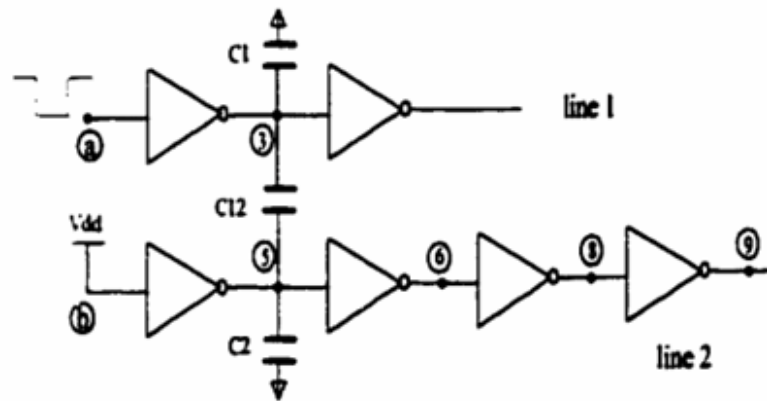


Рисунок 3.6 – Модель перехресної несправності "crosstalk glitch".

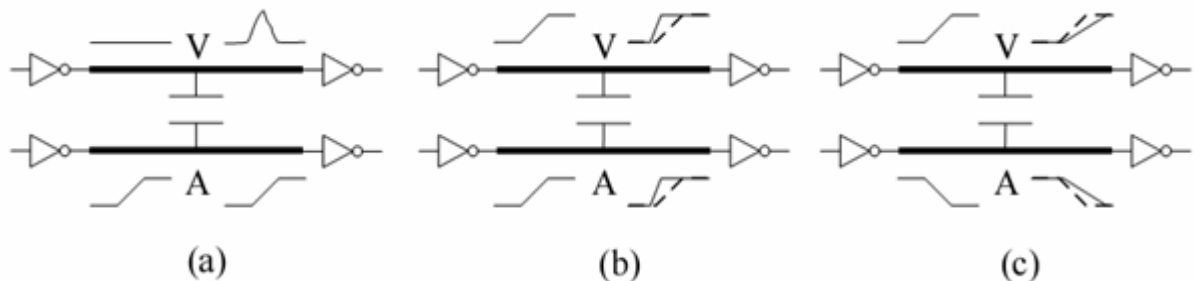


Рисунок 3.7 – Приклади крос-ефекту:

а) імпульс; б) прискорення; в) уповільнення.

Висновок до розділу Фізичні дефекти і несправності

Визначені константні несправності, які дозволяють моделювати багато фізичних дефектів. Наведені приклади дефектів, які можна представити константними несправностями. Розглянуті методи скорочення списків константних несправностей для комбінаційних схем.

4 ТЕСТУВАННЯ МОДЕЛЕЙ ЛОГІЧНИХ СХЕМ НА МОН-ТРАНЗИСТОРАХ В СЕРЕДОВИЩІ MULTISIM

При рішенні завдань технічної діагностики можуть використовуватися найрізноманітніші моделі об'єктів діагностування (ОД). Початковий опис цифрових схем як ОД може бути представлено у вигляді електричної принципової або функціональної схем.

Конкретні моделі, використовувані в технічній діагностиці, дуже різноманітні з точки зору вживаного формального апарату. Вони можуть представляти з себе: систему логічних або диференціальних рівнянь, граф, таблицю, систему матриць, електричну або функціональну схему, специфікацію, граф реєстрових передач та ін. При цьому, до якого класу відноситься вибрана модель ОД, багато в чому залежить від цілей діагностування. Розробників цифрових схем і розробників діагностичних тестів зазвичай цікавить, який транзистор, резистор і т. п. став причиною відмови. В цьому випадку, структурною можна рахувати модель у вигляді електричної схеми.

Несправності, при яких функціонування цифрового елемента можна описати, фіксує в значеннях "0" і "1" змінних функцій справного елемента, називають несправностями "константного типу".

При рішенні ряду завдань технічної діагностики необхідно задавати список можливих несправностей. Очевидне скорочення (розумне) списку можливих несправностей істотно знижує трудомісткість рішень.

У схемах на МОН-транзисторів із-за дефектів можлива поява на виході рівня напруги між логічними 0 і 1, або перетворення несправного комбінаційного елемента на схему, вихідний сигнал якої залежить від його стану перед поданням тестової дії (тобто комбінаційний елемент із-за дефекту перетворюється на елемент з пам'яттю). У деяких цифрових елементах із-за дефектів виконувана функція стає інверсною до нормальної [15].

4.1 Тестування моделей електричних схем НІ, І, І-НІ, АБО, АБО-НІ, Викл. АБО на МОН-транзисторах в середовищі Multisim

Предметом тестування будуть як статичні, так і динамічні параметри моделей електричних схем НІ, І, І-НІ, АБО, АБО-НІ, Викл. АБО, зібраних на моделях МОН-транзисторів програми Multisim. Завдання рівнів напруги логічного "0" і логічною "1", а також тимчасових параметрів вхідних сигналів проводиться за допомогою моделі функціонального генератора програми Multisim. Контроль рівнів напруги логічного "0" і логічною "1" і тимчасових параметрів вихідних сигналів проводиться за допомогою моделі чотирьохканального осцилографа програми Multisim.

Для перевірки схем на їх відповідність виконуваним логічним функціям производится такими моделями приладів, такими як логічний конвертор, що формує таблицю істинності і аналітичне вираження тестованої схеми комбінаційного типу [16].

4.1.1 Логічний елемент НІ (файл NOT)

Модель схеми електричної логічного елементу НІ в середовищі моделювання Multisim представлена на рис. 4.1.

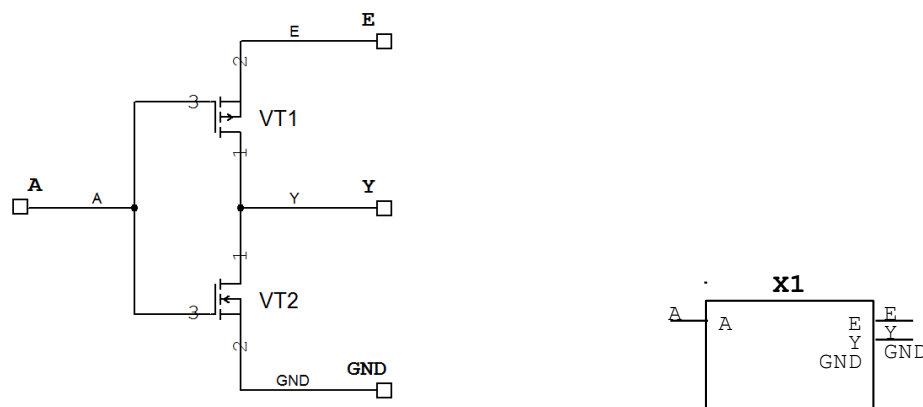


Рисунок 4.1 – Модель схеми електричної логічного елементу НІ в середовищі Multisim

Схема для виміру переднього фронту t^{01} сигналу на виході логічного елемента НІ в середовищі моделювання Multisim представлена на рис. 4.2.

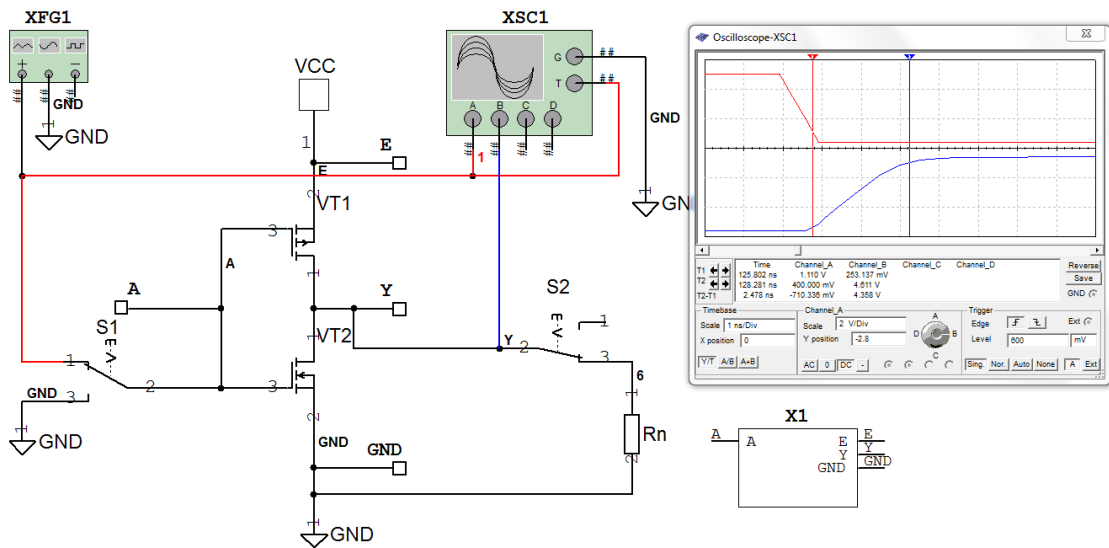


Рисунок 4.2 – Схема виміру переднього фронту t^{01} сигналу на виході моделі логічного елемента НІ

Схема для виміру затримки переднього фронту t^{01} вихідного сигналу відносно заднього фронту t^{10} вхідного сигналу логічного елемента НІ в середовищі моделювання Multisim представлена на рис. 4.3.

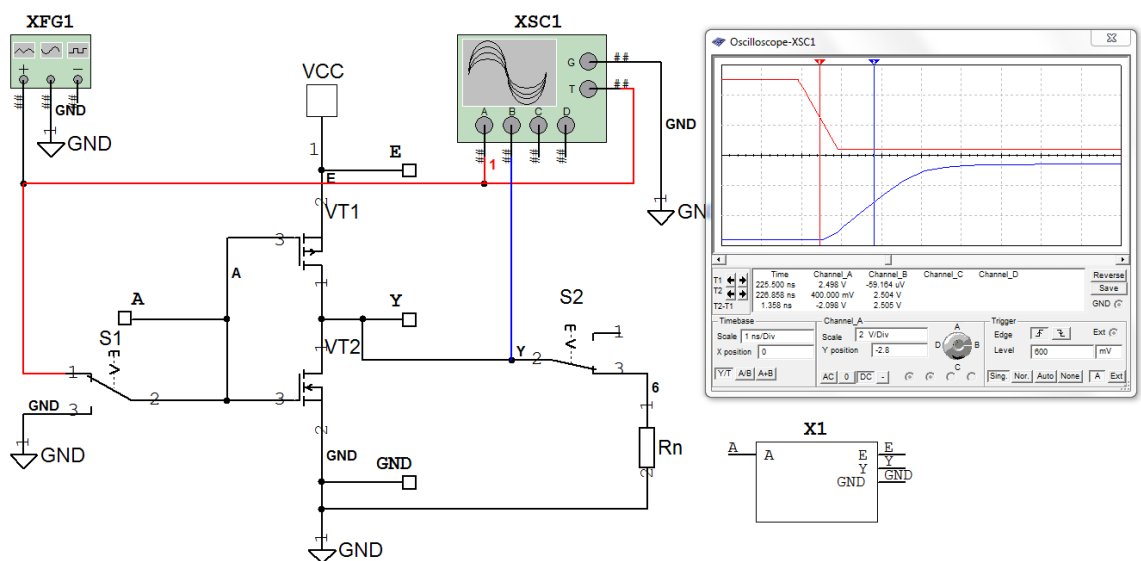


Рисунок 4.3 – Схема виміру затримки фронту t^{01} вихідного сигналу відносно фронту t^{10} вхідного сигналу логічного елемента НІ

Схема для виміру заднього фронту t^{10} сигналу на виході логічного елемента НІ в середовищі моделювання Multisim представлена на рис. 4.4.

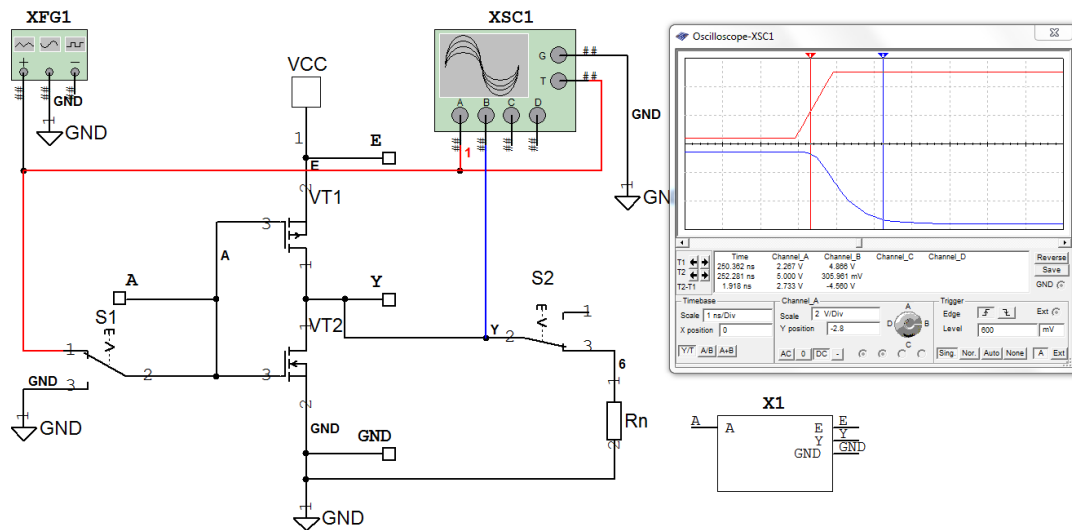


Рисунок 4.4 – Схема виміру заднього фронту t^{10} сигналу на виході моделі логічного елемента НІ

Схема для виміру затримки заднього фронту t^{10} вихідного сигналу відносно переднього фронту t^{01} вхідного сигналу логічного елемента НІ в середовищі моделювання Multisim представлена на рис. 4.5.

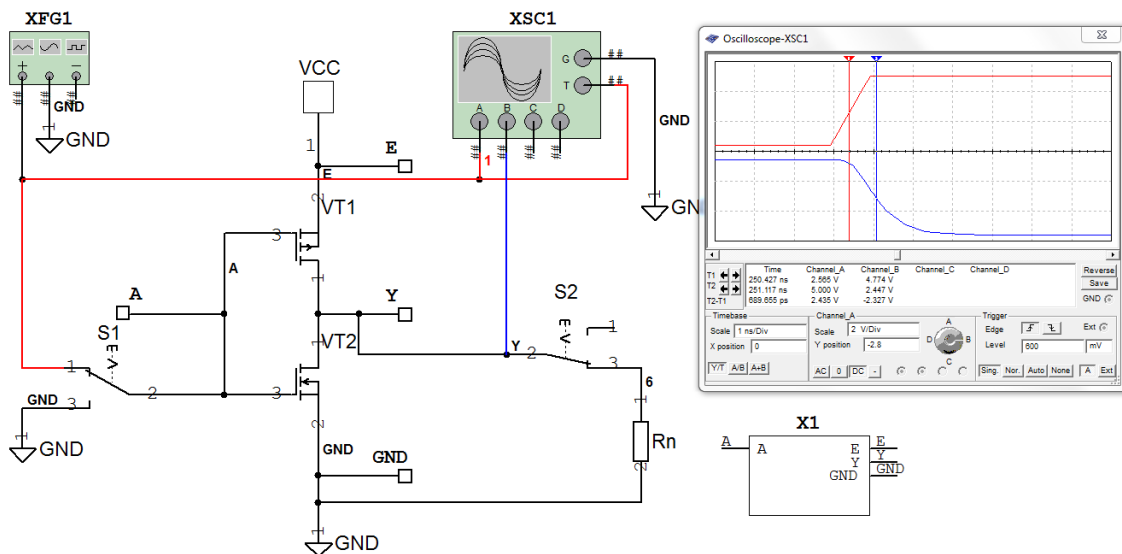


Рисунок 4.5 – Схема виміру затримки фронту t^{10} вихідного сигналу відносно фронту t^{01} вхідного сигналу логічного елемента НІ

Схема виміру рівнів напруги логічних "0" і "1" на вході і на виході логічного елементу НІ представлена на рис. 4.6.

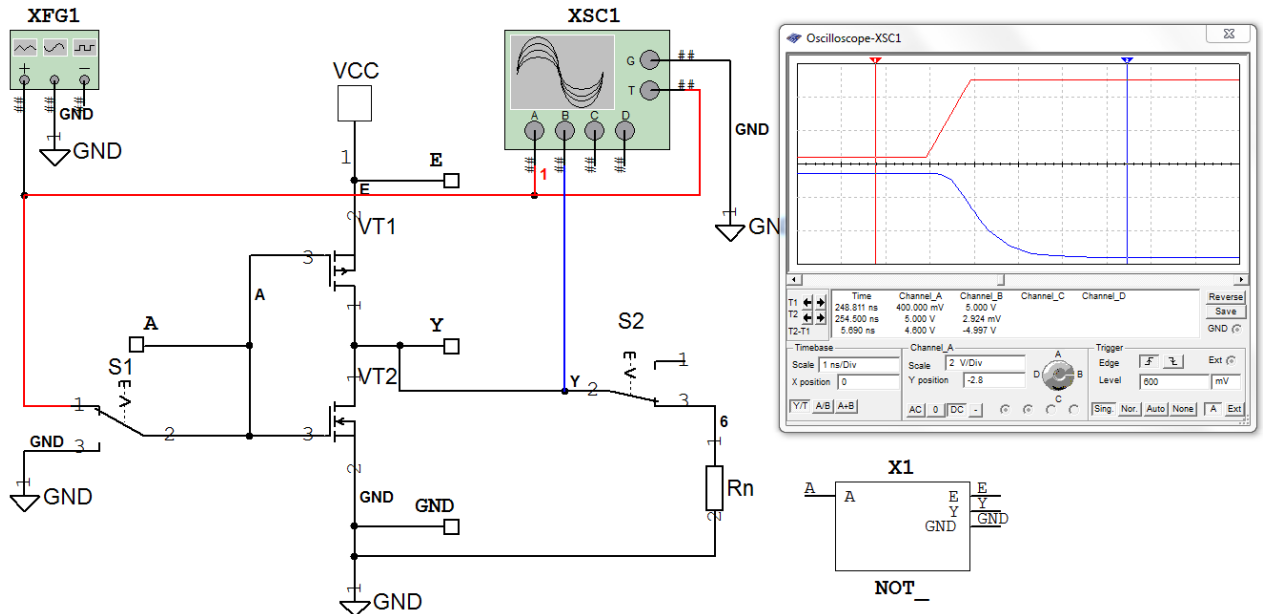


Рисунок 4.6 – Схема виміру рівнів напруги логічних "0" і "1" на вході і на виході логічного елементу НІ

4.1.2 Логічний елемент 2І-НІ (файл NAND_2)

Умовне графічне зображення (УГЗ), аналітичне вираження і таблиця істинності логічного елементу 2І-НІ представлена на рис. 4.7.

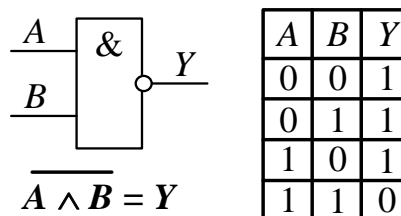


Рисунок 4.7 – УГЗ, аналітичне вираження і таблиця істинності логічного елементу 2І-НІ

Модель схеми електричної логічного елементу 2І-НІ в середовищі моделювання Multisim представлена на рис. 4.8.

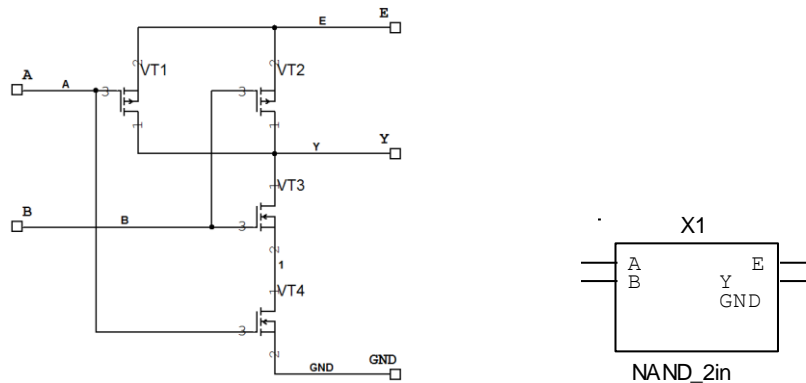


Рисунок 4.8 - Модель схеми електричної логічного елементу 2І-НІ в середовищі Multisim

Схема для виміру переднього фронту t^{01} сигналу на виході логічного елементу 2І-НІ в середовищі моделювання Multisim представлена на рис. 4.9.

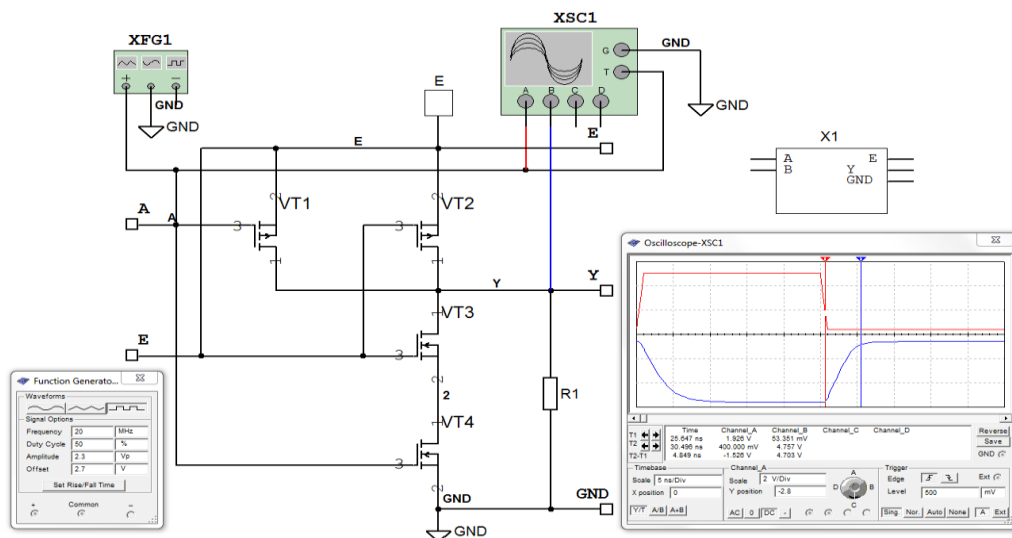


Рисунок 4.9. Схема виміру переднього фронту t^{01} сигналу на виході моделі логічного елементу 2І-НІ

Схема для виміру затримки переднього фронту t^{01} вихідного сигналу відносно заднього фронту t^{10} вхідного сигналу логічного елементу 2І-НІ в середовищі моделювання Multisim представлена на рис. 4.10.

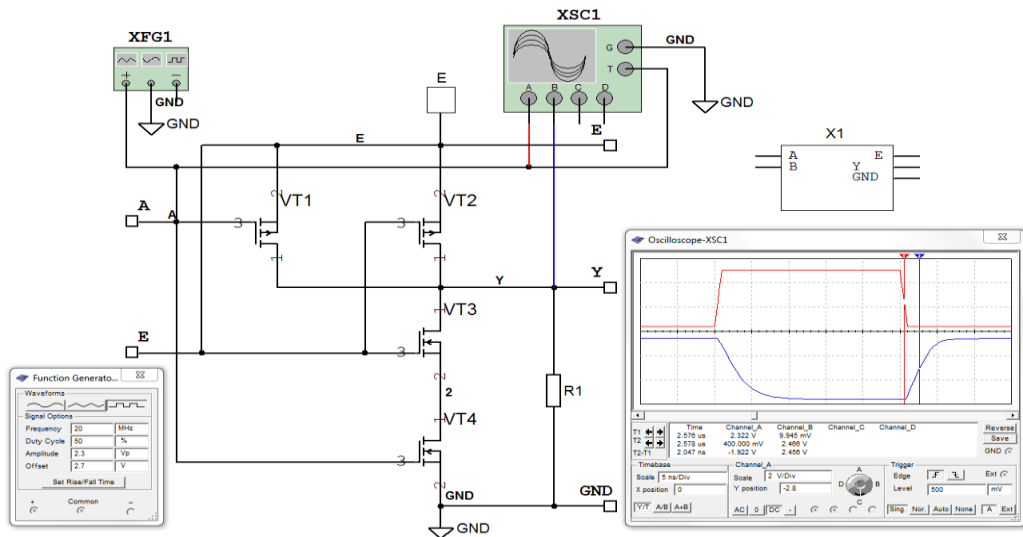


Рисунок 4.10 - Схема виміру затримки фронту t^{01} вихідного сигналу відносно фронту t^{10} вхідного сигналу логічного елементу 2I-НІ

Схема для виміру заднього фронту t^{10} сигналу на виході логічного елементу 2I-НІ в середовищі моделювання Multisim представлена на рис. 4.11.

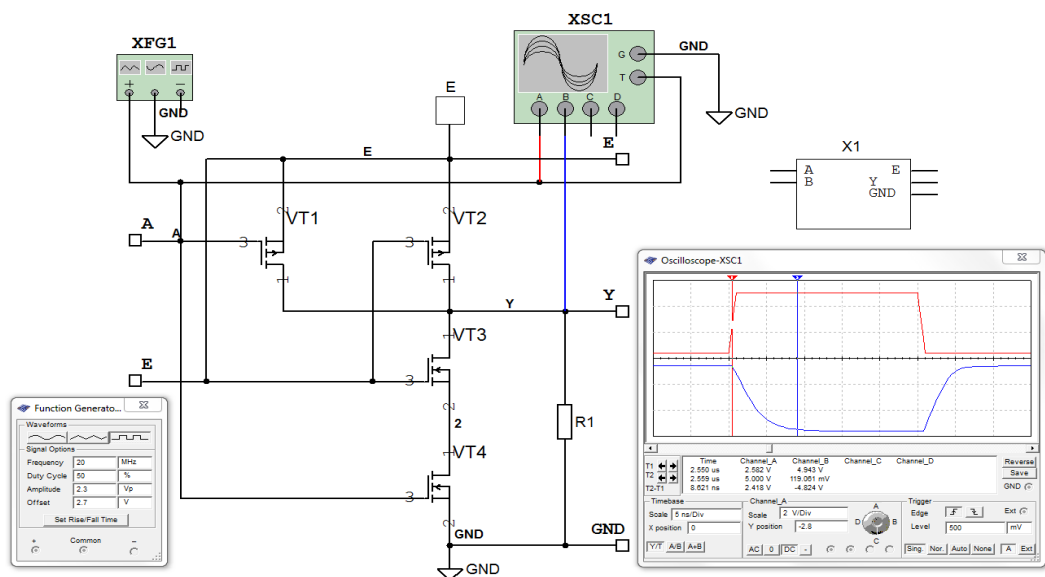


Рисунок 4.11 - Схема виміру заднього фронту t^{10} сигналу на виході моделі логічного елементу 2I-НІ

Схема для виміру затримки заднього фронту t^{10} вихідного сигналу відносно переднього фронту t^{01} вхідного сигналу логічного елементу 2I-НІ в середовищі моделювання Multisim представлена на рис. 4.12.

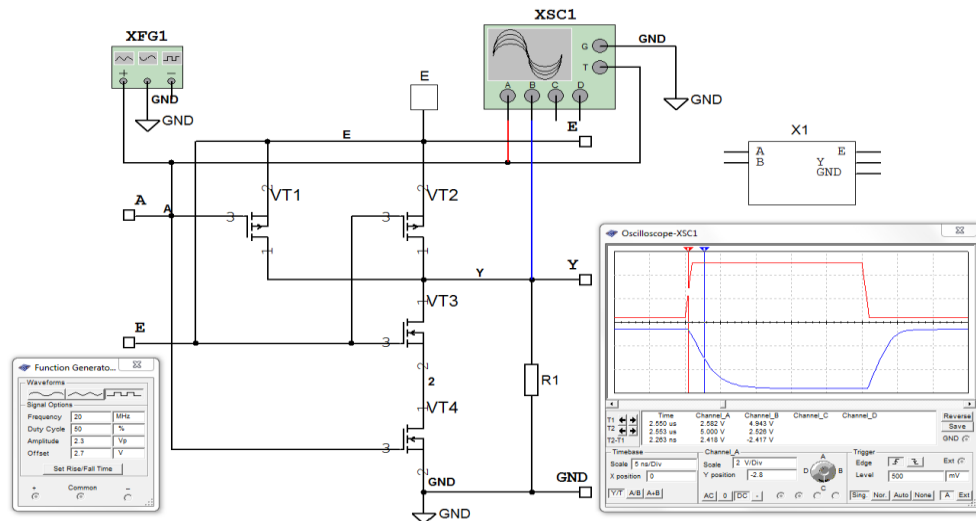


Рисунок 4.12 - Схема виміру затримки фронту t^{10} вихідного сигналу відносно фронту t^{01} вхідного сигналу логічного елементу 2I-НІ

Схема виміру рівнів напруги логічних "0" і "1" на вході і на виході логічного елементу 2I-НІ представлена на рис. 4.13.

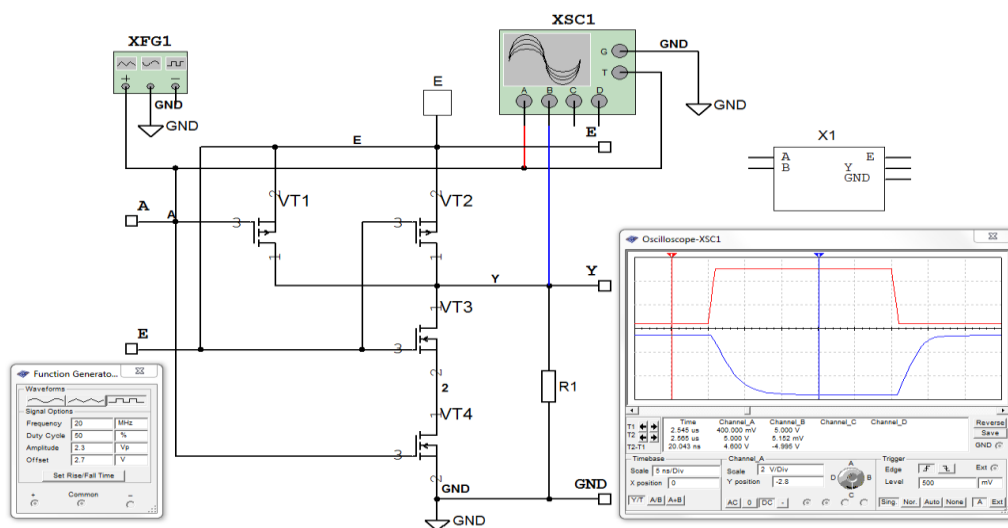


Рисунок 4.13 - Схема виміру рівнів напруги логічних "0" і "1" на вході і на виході логічного елементу 2I-НІ

Схема перевірки логічного елементу 2I-НІ на відповідність виконуваної логічної функції з формуванням таблиці істинності і аналітичного вираження у формі ДНФ представлена на рис. 4.14.

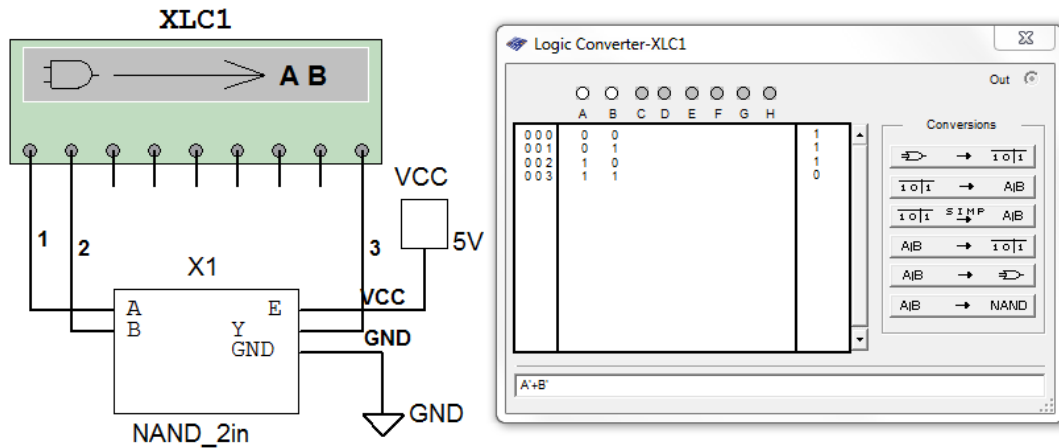


Рисунок 4.14 – Схема перевірки логічного елементу 2І-НІ на відповідність виконуваної логічної функції

4.1.3 Логічний елемент 2АБО-НІ (файл NOR_2)

УГЗ, аналітичне вираження і таблиця істинності логічного елементу 2АБО-НІ представлена на рис. 4.15.

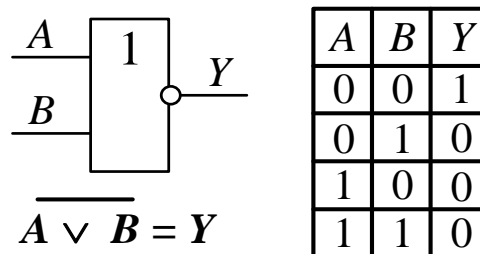


Рисунок 4.15 - УГЗ, аналітичне вираження і таблиця істинності логічного елементу 2АБО-НІ

Модель схеми електричної логічного елементу 2АБО-НІ в середовищі моделювання Multisim представлена на рис. 4.16.

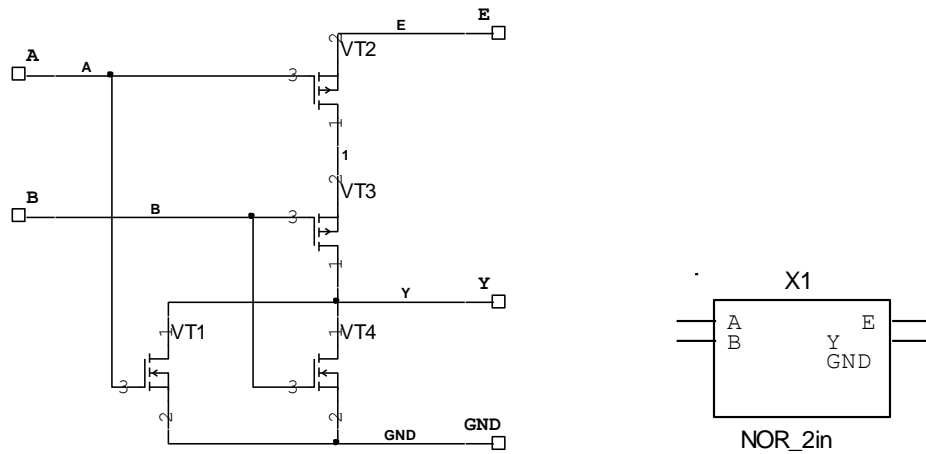


Рисунок 4.16 - Модель схеми електричної логічного елементу 2АБО-НІ в середовищі Multisim

Схема для виміру переднього фронту t^{01} сигналу на виході логічного елементу 2АБО-НІ в середовищі моделювання Multisim представлена на рис. 4.17.

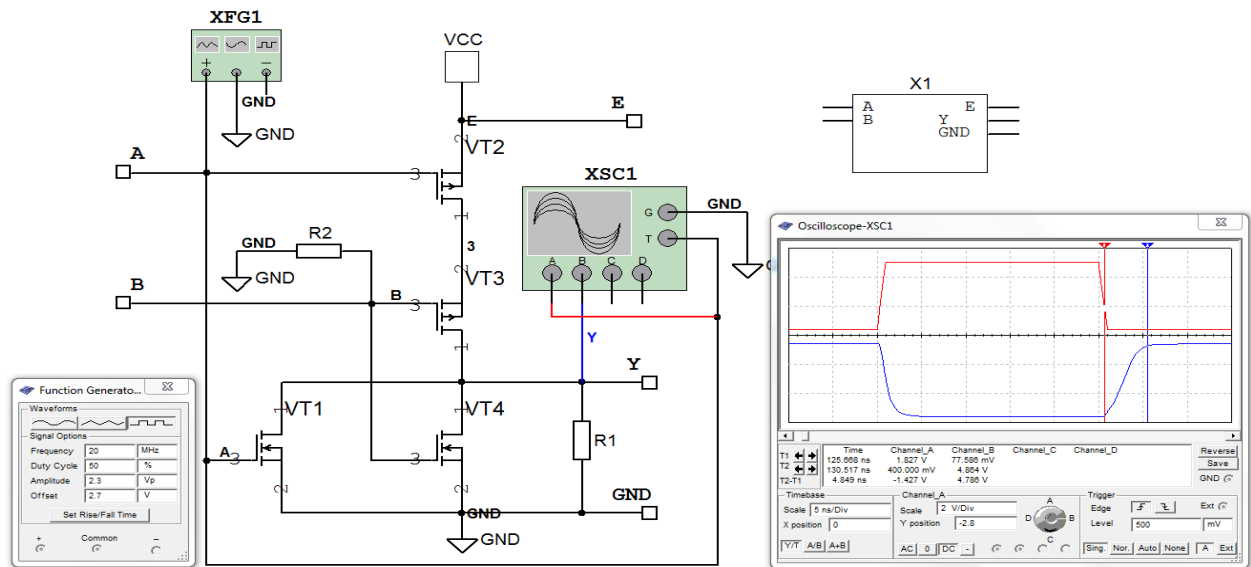


Рисунок 4.17 - Схема виміру переднього фронту t^{01} сигналу на виході моделі логічного елементу 2АБО-НІ

Схема для виміру затримки переднього фронту t^{01} вихідного сигналу відносно заднього фронту t^{10} вхідного сигналу логічного елементу 2АБО-НІ в середовищі моделювання Multisim представлена на рис. 4.18.

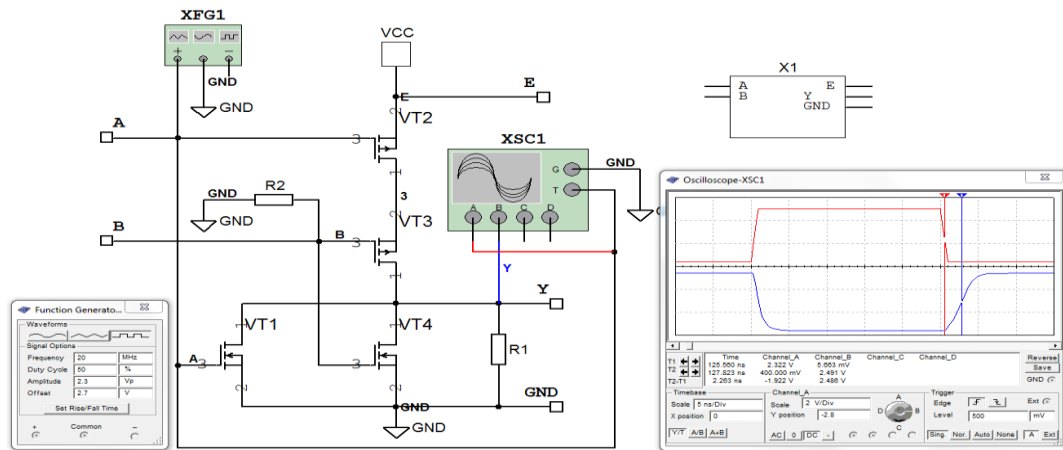


Рисунок 4.18 - Схема виміру затримки фронту t^{01} вихідного сигналу відносно фронту t^{10} вхідного сигналу логічного елементу 2АБО-НІ

Схема для виміру заднього фронту t^{10} сигналу на виході логічного елементу 2АБО-НІ в середовищі моделювання Multisim представлена на рис. 4.19.

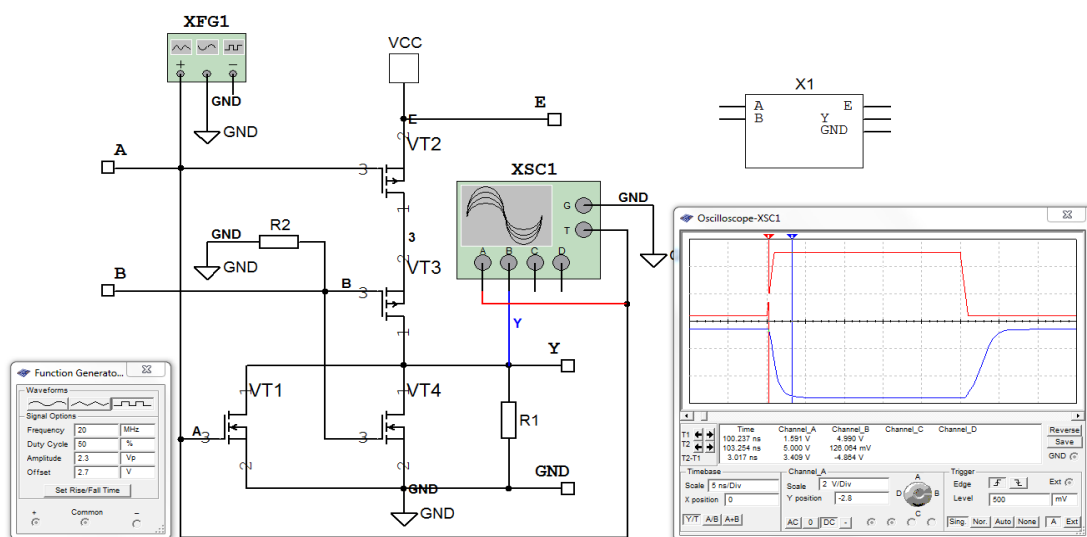


Рисунок 4.19 - Схема виміру заднього фронту t^{10} сигналу на виході моделі логічного елементу 2АБО-НІ

Схема для виміру затримки заднього фронту t^{10} вихідного сигналу відносно переднього фронту t^{01} вхідного сигналу логічного елементу 2АБО-НІ в середовищі моделювання Multisim представлена на рис. 4.20.

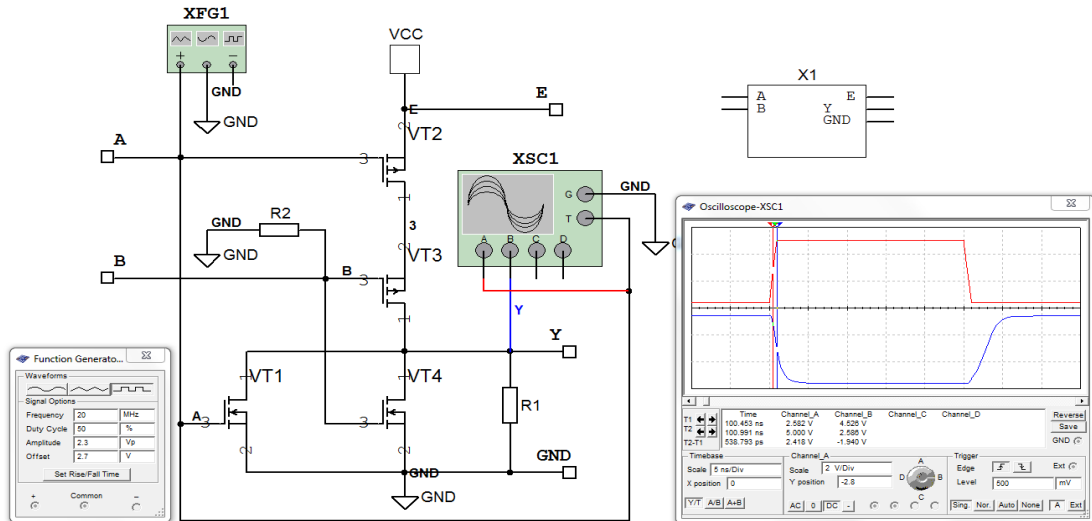


Рисунок 4.20 - Схема виміру затримки фронту t^{10} вихідного сигналу відносно фронту t^{01} вхідного сигналу логічного елементу 2АБО-НІ

Схема виміру рівнів напруги логічних "0" і "1" на вході і на виході логічного елементу 2АБО-НІ представлена на рис. 4.21.

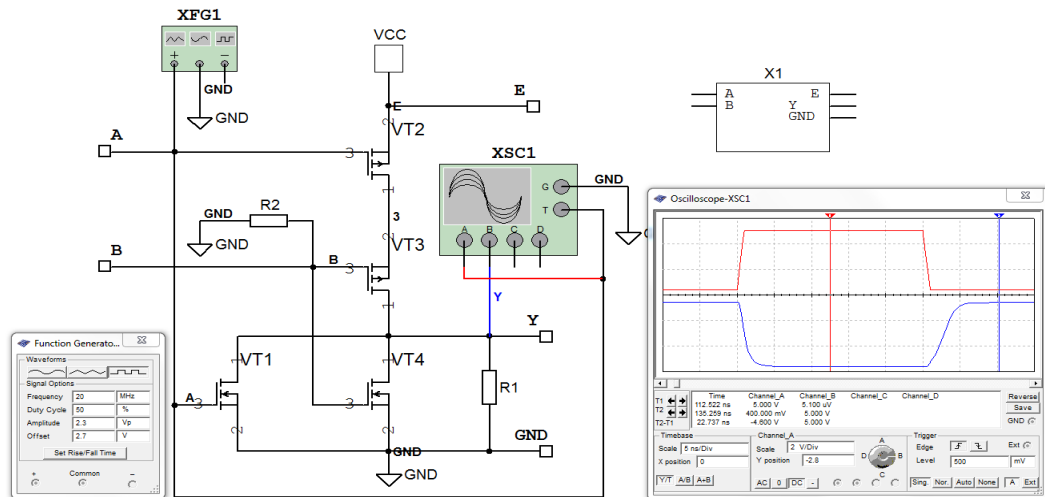


Рисунок 4.21 - Схема виміру рівнів напруги логічних "0" і "1" на вході і на виході логічного елементу 2АБО-НІ

Схема перевірки логічного елемента 2АБО-НІ на відповідність виконуваної логічної функції з формуванням таблиці істинності і аналітичного вираження у формі ДНФ представлена на рис. 4.22.

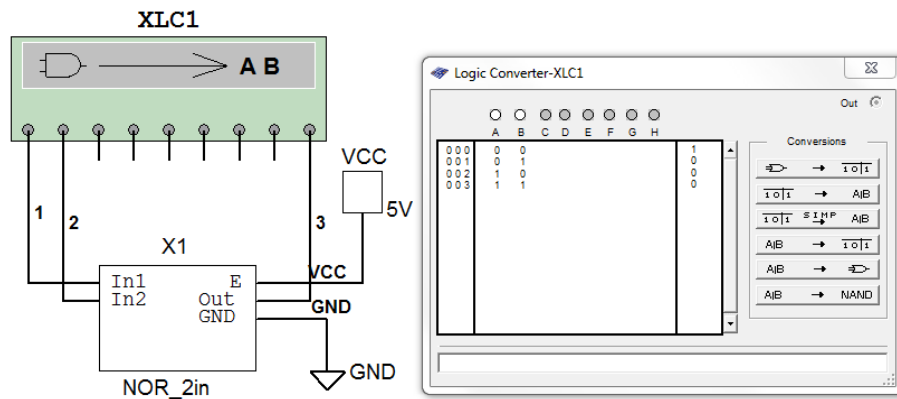


Рисунок 4.22 – Схема перевірки логічного елемента 2АБО-НІ на відповідність виконуваної логічної функції

4.1.4 Логічний елемент 2І (файл AND_2)

УГЗ, аналітичне вираження і таблиця істинності логічного елемента 2І представлена на рис. 4.23.

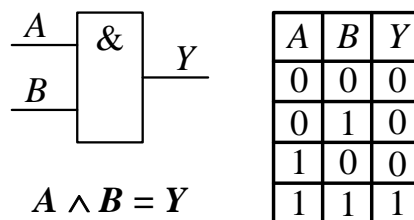


Рисунок 4.23 – УГЗ, аналітичне вираження і таблиця істинності логічного елемента 2І

Модель схеми електричної логічного елемента 2І в середовищі моделювання Multisim представлена на Рисунок 4.24.

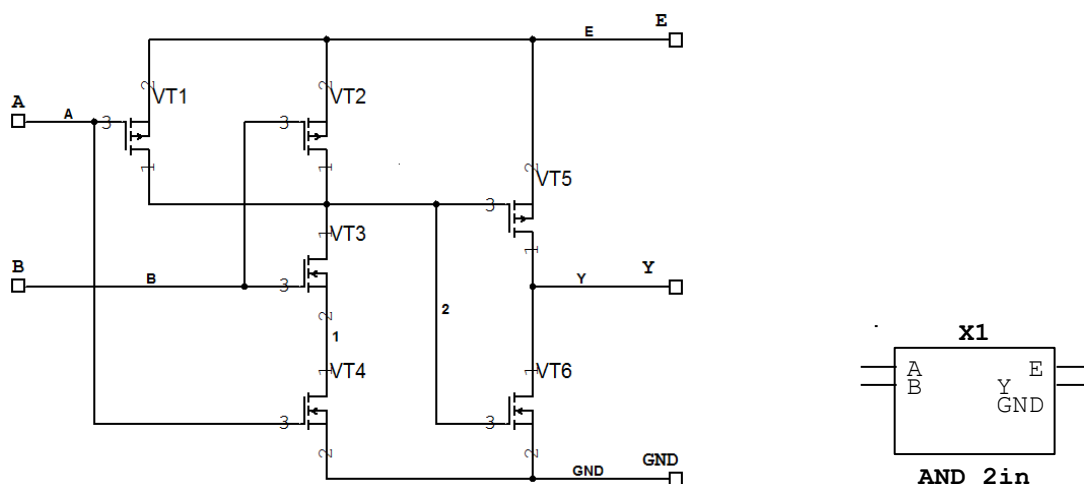


Рисунок 4.24 – Модель схеми електричної логічного елементу 2І в середовищі Multisim

Схема для виміру переднього фронту t^{01} сигналу на виході логічного елементу 2І в середовищі моделювання Multisim представлена на рис. 4.25.

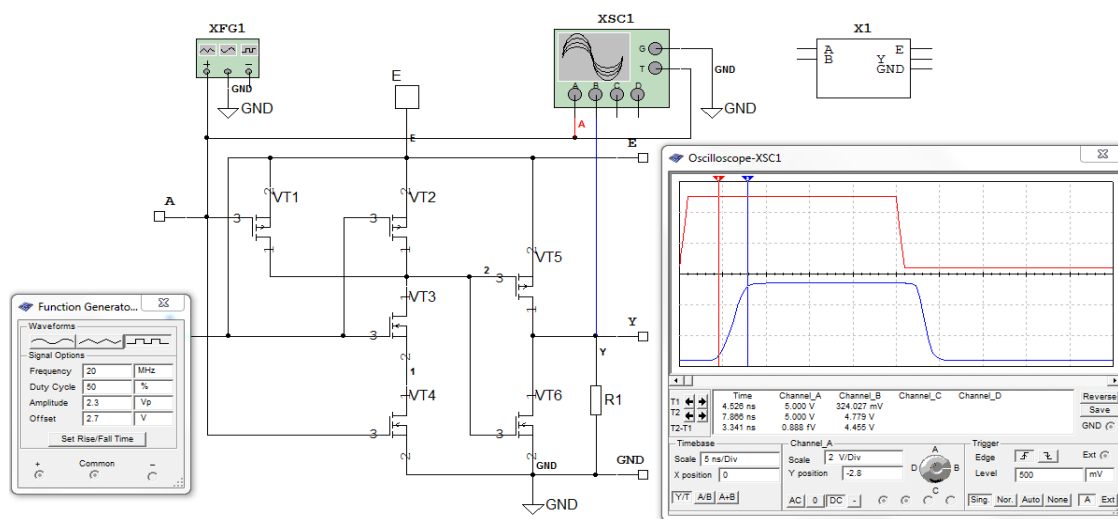


Рисунок 4.25 – Схема виміру переднього фронту t^{01} сигналу на виході моделі логічного елементу 2І

Схема для виміру затримки переднього фронту t^{01} вихідного сигналу відносно переднього фронту t^{01} вхідного сигналу логічного елементу 2І в середовищі моделювання Multisim представлена на рис. 4.26.

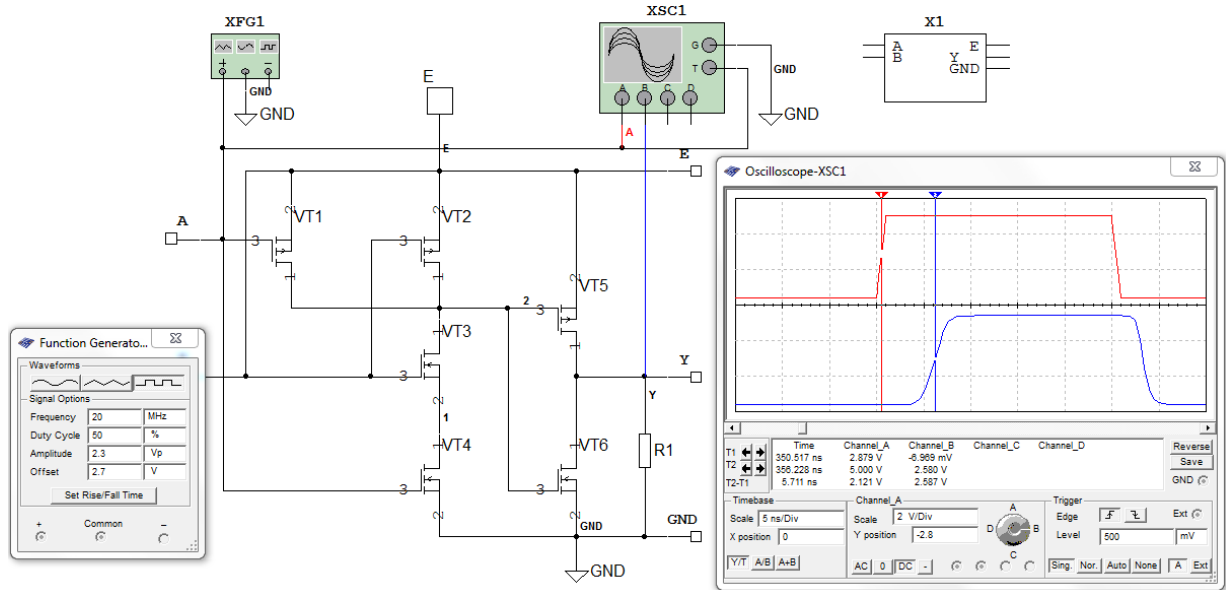


Рисунок 4.26 – Схема виміру затримки фронту t^{01} вихідного сигналу відносно фронту t^{01} вхідного сигналу логічного елементу 2I

Схема для виміру заднього фронту t^{10} сигналу на виході логічного елементу 2I в середовищі моделювання Multisim представлена на рис. 4.27.

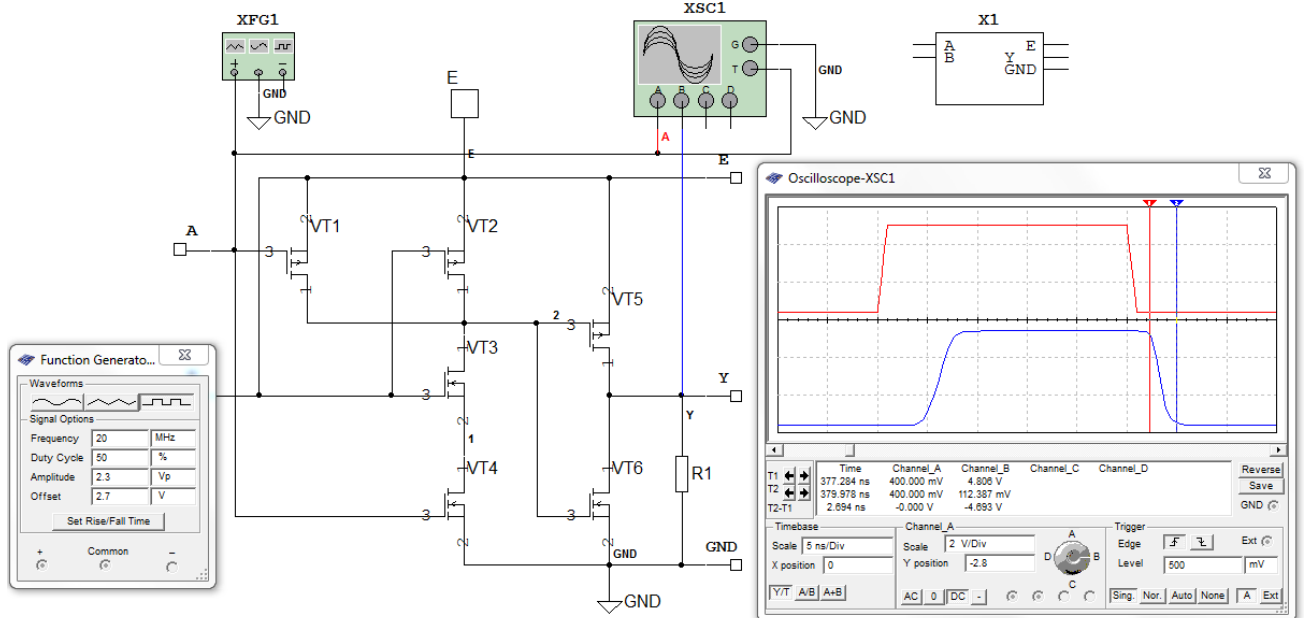


Рисунок 4.27 – Схема виміру заднього фронту t^{10} сигналу на виході моделі логічного елементу 2I

Схема для виміру затримки заднього фронту t^{10} вихідного сигналу відносно заднього фронту t^{10} вхідного сигналу логічного елементу 2І в середовищі моделювання Multisim представлена на рис. 4.28.

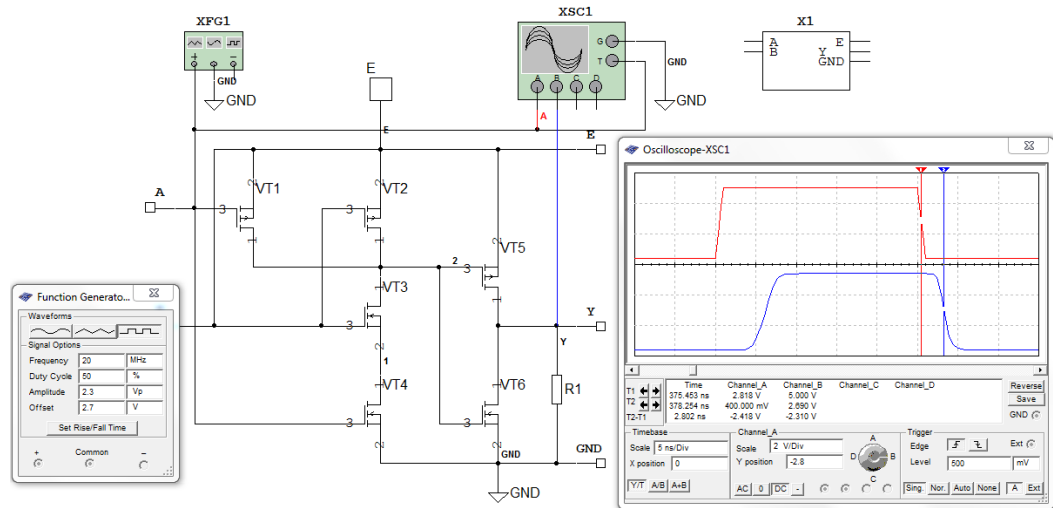


Рисунок 4.28 – Схема виміру затримки фронту t^{01} вихідного сигналу відносно фронту t^{01} вхідного сигналу логічного елементу 2І

Схема виміру рівнів напруги логічних "0" і "1" на вході і на виході логічного елементу 2І представлена на рис. 4.29.

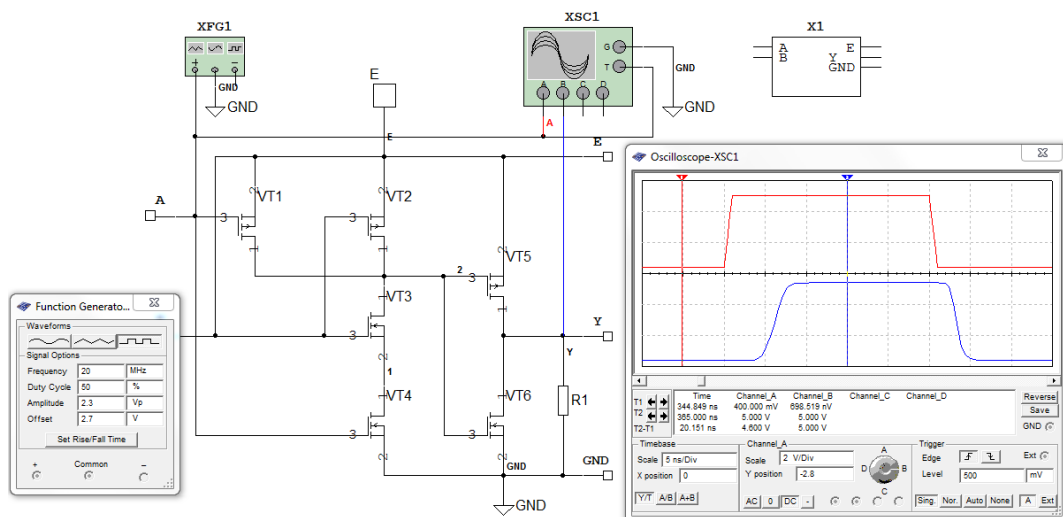


Рисунок 4.29 – Схема виміру рівнів напруги логічних "0" і "1" на вході і на виході логічного елементу 2І

Схема перевірки логічного елементу 2І на відповідність виконуваної логічної функції з формуванням таблиці істинності і аналітичного вираження у формі ДНФ представлена на рис. 4.30.

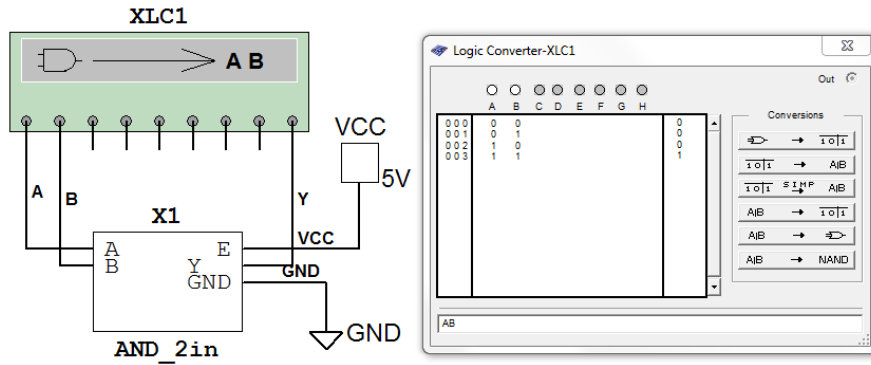


Рисунок 4.30 – Схема перевірки логічного елементу 2І на відповідність виконуваної логічної функції

4.1.5 Логічний елемент 2АБО (файл OR_2)

УГЗ, аналітичне вираження і таблиця істинності логічного елементу 2АБО представлена на рис. 4.31.

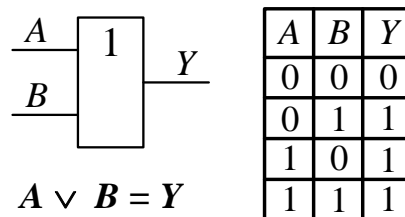


Рисунок 4.31 – УГЗ, аналітичне вираження і таблиця істинності логічного елементу 2АБО

Модель схеми електричної логічного елементу 2АБО в середовищі моделювання Multisim представлена на рис. 4.32.

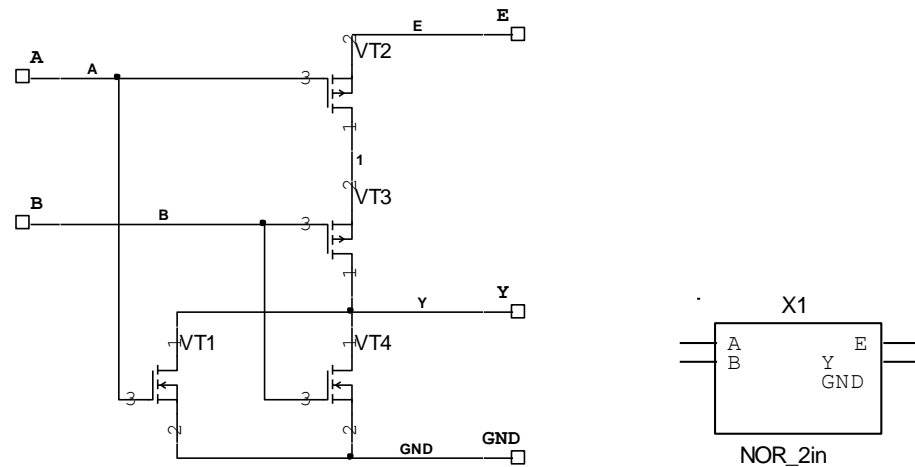


Рисунок 4.32 – Модель схеми електричної логічного елементу 2АБО в середовищі Multisim

Схема для виміру переднього фронту t^{01} сигналу на виході логічного елементу 2АБО в середовищі моделювання Multisim представлена на рис. 4.33.

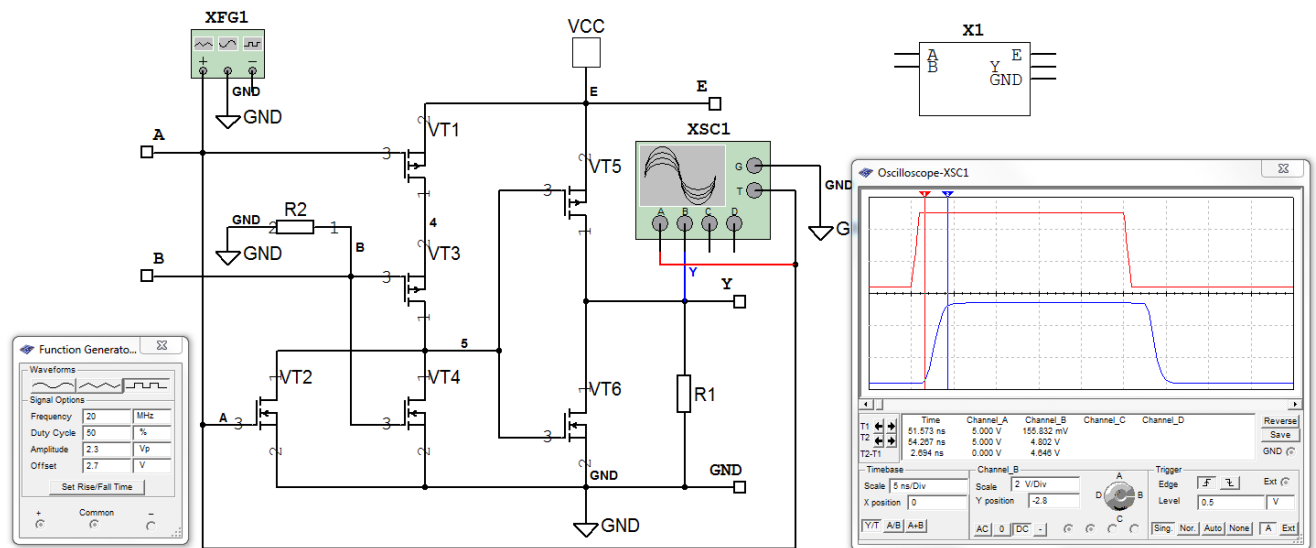


Рисунок 4.33 – Схема виміру переднього фронту t^{01} сигналу на виході моделі логічного елементу 2АБО

Схема для виміру затримки переднього фронту t^{01} вихідного сигналу відносно заднього фронту t^{10} вхідного сигналу логічного елементу 2АБО в середовищі моделювання Multisim представлена на рис. 4.34.

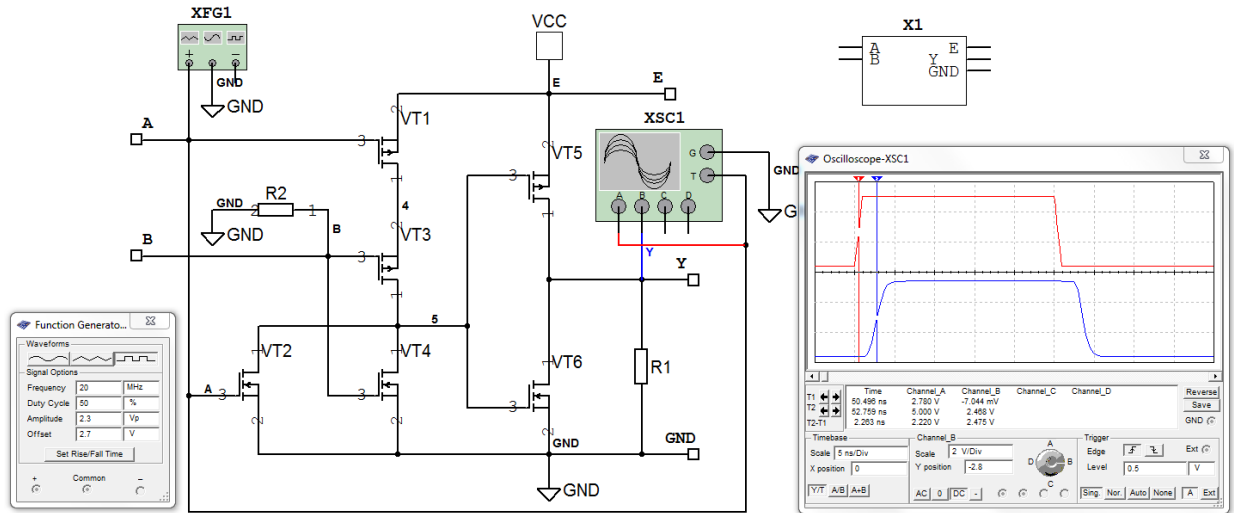


Рисунок 4.34 – Схема виміру затримки фронту t^{10} вихідного сигналу відносно фронту t^{10} вхідного сигналу логічного елементу 2АБО

Схема для виміру заднього фронту t^{10} сигналу на виході логічного елементу 2АБО в середовищі моделювання Multisim представлена на рис. 4.35.

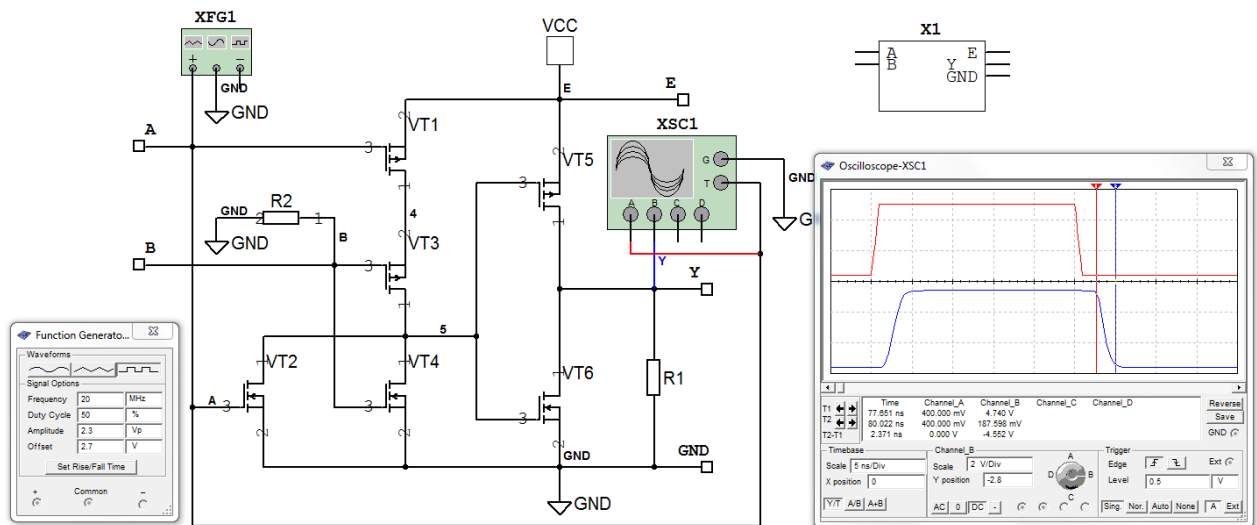


Рисунок 4.35 – Схема виміру заднього фронту t^{10} сигналу на виході моделі логічного елементу 2АБО

Схема для виміру затримки заднього фронту t^{10} вихідного сигналу відносно заднього фронту t^{10} вхідного сигналу логічного елементу 2АБО в середовищі моделювання Multisim представлена на рис. 4.36.

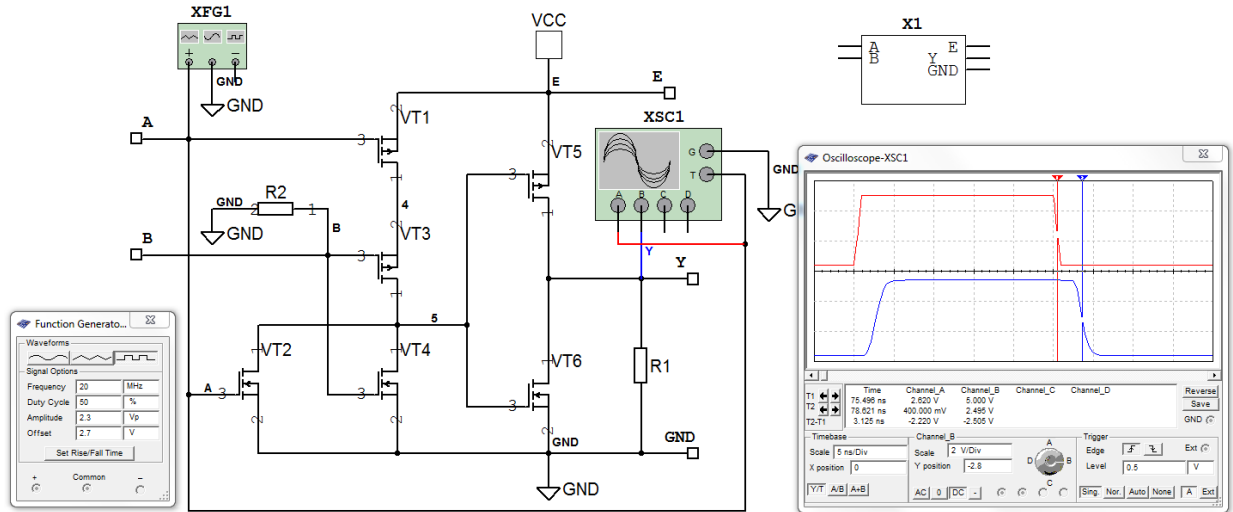


Рисунок 4.36 – Схема виміру затримки фронту t^{10} вихідного сигналу відносно фронту t^{10} вхідного сигналу логічного елементу 2АБО

Схема виміру рівнів напруги логічних "0" і "1" на вході і на виході логічного елементу 2АБО представлена на рис. 4.37.

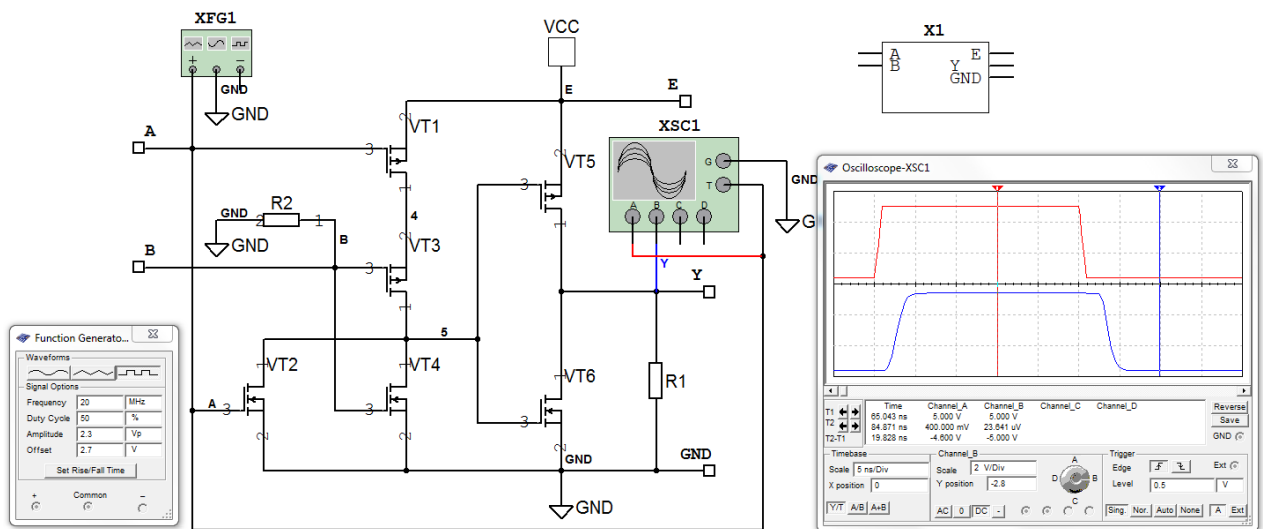


Рисунок 4.37 – Схема виміру рівнів напруги логічних "0" і "1" на вході і на виході логічного елементу 2АБО

Схема перевірки логічного елементу 2АБО на відповідність виконуваної логічної функції з формуванням таблиці істинності і аналітичного вираження у формі ДНФ представлена на рис. 4.38.

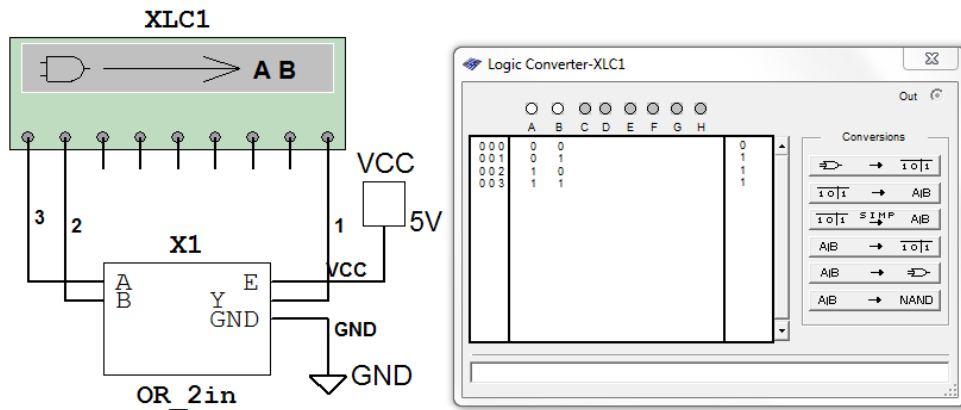


Рисунок 4.38 – Схема перевірки логічного елементу 2АБО на відповідність виконуваної логічної функції

4.1.6 Логічний елемент Викл. АБО (файл XOR_2)

УГЗ, аналітичне вираження і таблиця істинності логічного елементу Викл. АБО представлена на рис. 4.39.

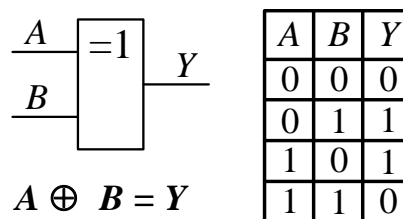


Рисунок 4.39 – УГЗ, аналітичне вираження і таблиця істинності логічного елементу Викл. АБО

Модель схеми електричної логічного елементу Викл. АБО в середовищі моделювання Multisim представлена на рис. 4.40.

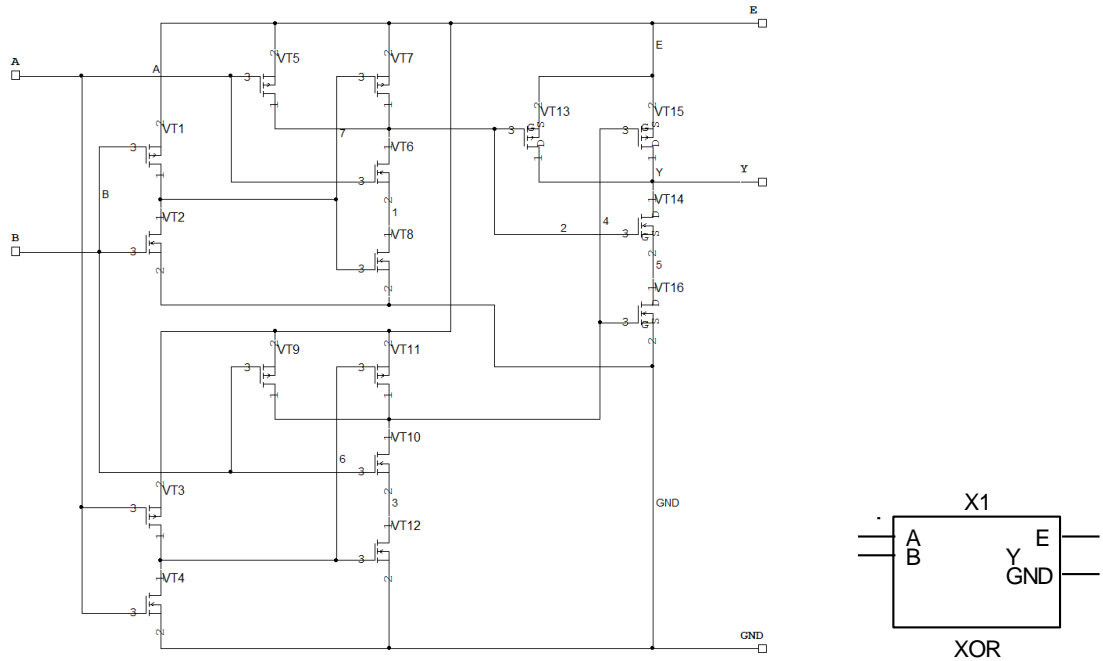


Рисунок 4.40 – Модель схеми електричної логічного елементу Викл. АБО в середовищі Multisim

Схема для виміру переднього фронту t^{01} сигналу на виході логічного елементу Викл. АБО в середовищі моделювання Multisim представлена на рис. 4.41.

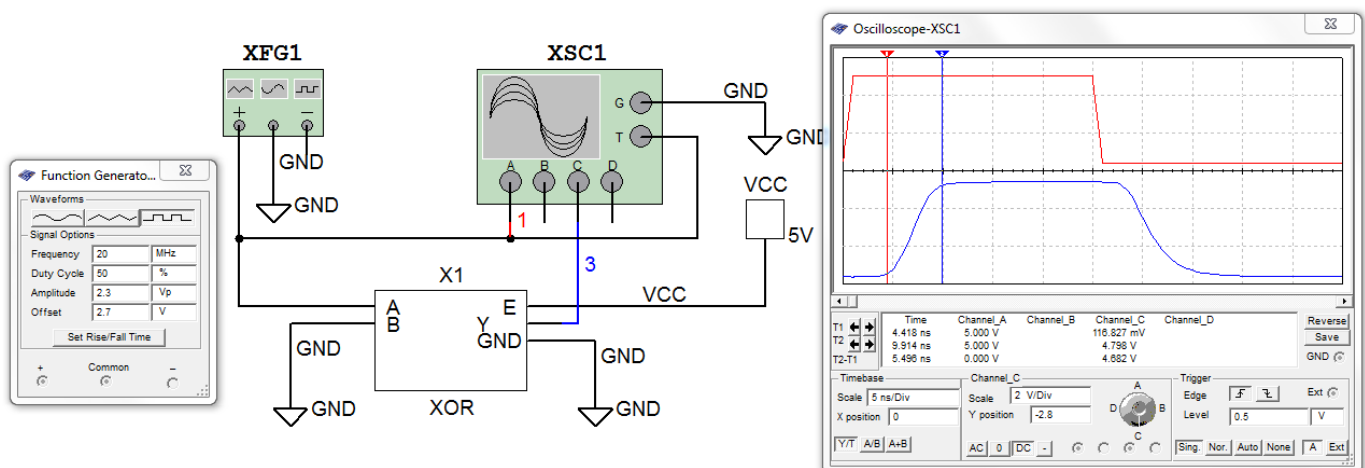


Рисунок 4.41 – Схема виміру переднього фронту t^{01} сигналу на виході моделі логічного елементу Викл. АБО

Схема для виміру затримки переднього фронту t^{01} вихідного сигналу відносно переднього фронту t^{01} вхідного сигналу логічного елементу Викл АБО в середовищі моделювання Multisim представлена на рис. 4.42.

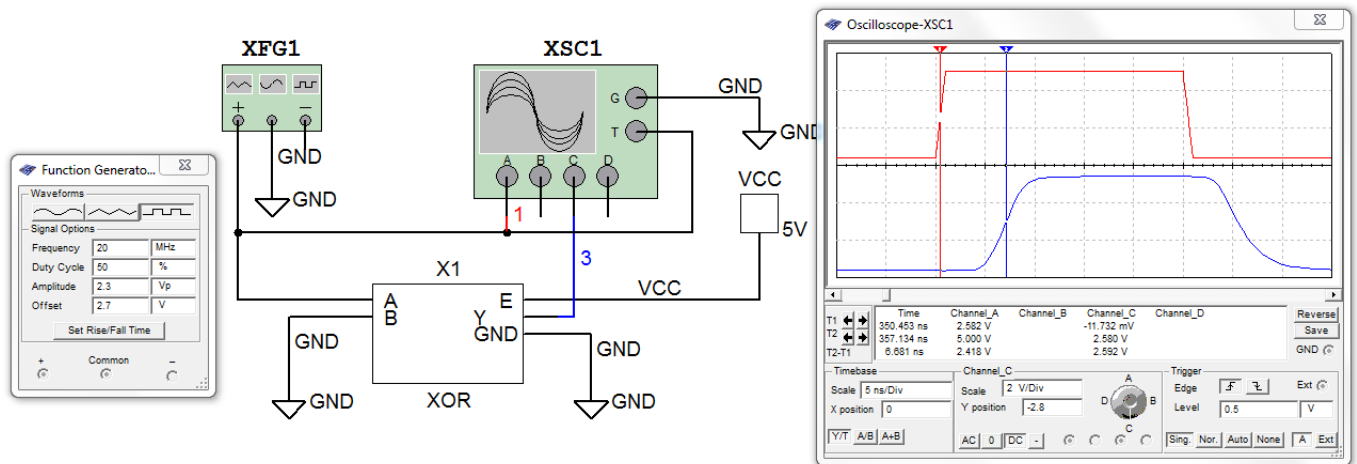


Рисунок 4.42 – Схема виміру затримки фронту t^{01} вихідного сигналу відносно фронту t^{01} вхідного сигналу логічного елементу Викл. АБО

Схема для виміру заднього фронту t^{10} сигналу на виході логічного елементу Викл. АБО в середовищі моделювання Multisim представлена на рис. 4.43.

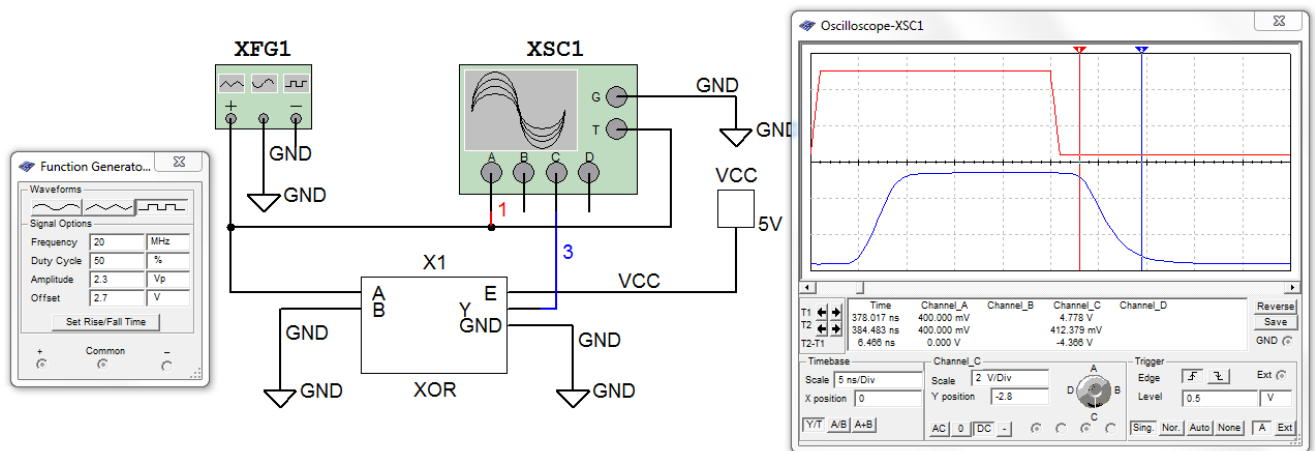


Рисунок 4.43 – Схема виміру заднього фронту t^{10} сигналу на виході моделі логічного елементу Викл. АБО

Схема для виміру затримки заднього фронту t^{10} вихідного сигналу відносно заднього фронту t^{10} вхідного сигналу логічного елементу Викл. ЧИ в середовищі моделювання Multisim представлена на рис. 4.44.

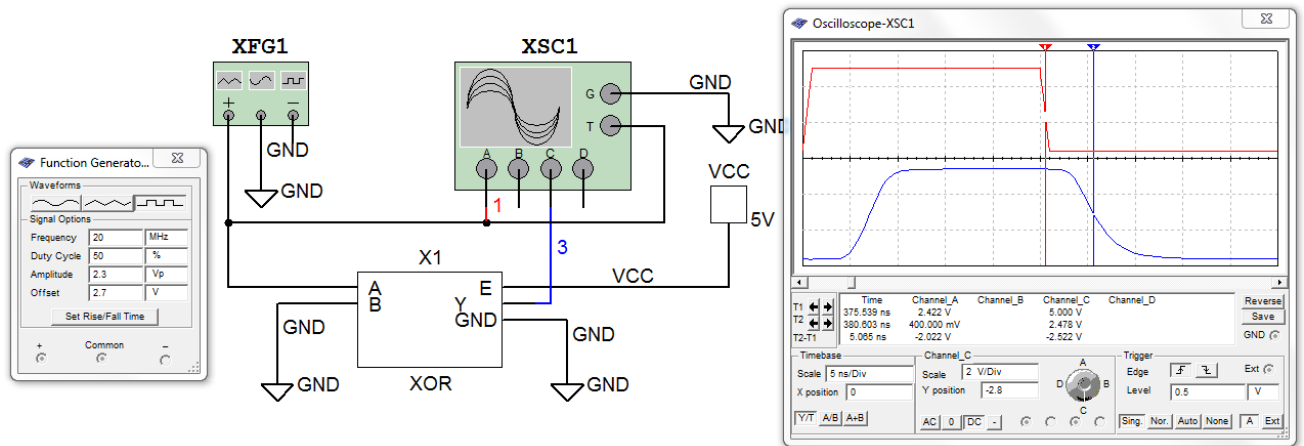


Рисунок 4.44 – Схема виміру затримки фронту t^{10} вихідного сигналу відносно фронту t^{10} вхідного сигналу логічного елементу Викл. АБО

Схема виміру рівнів напруги логічних "0" і "1" на вході і на виході логічного елементу Викл. АБО представлена на рис. 4.45.

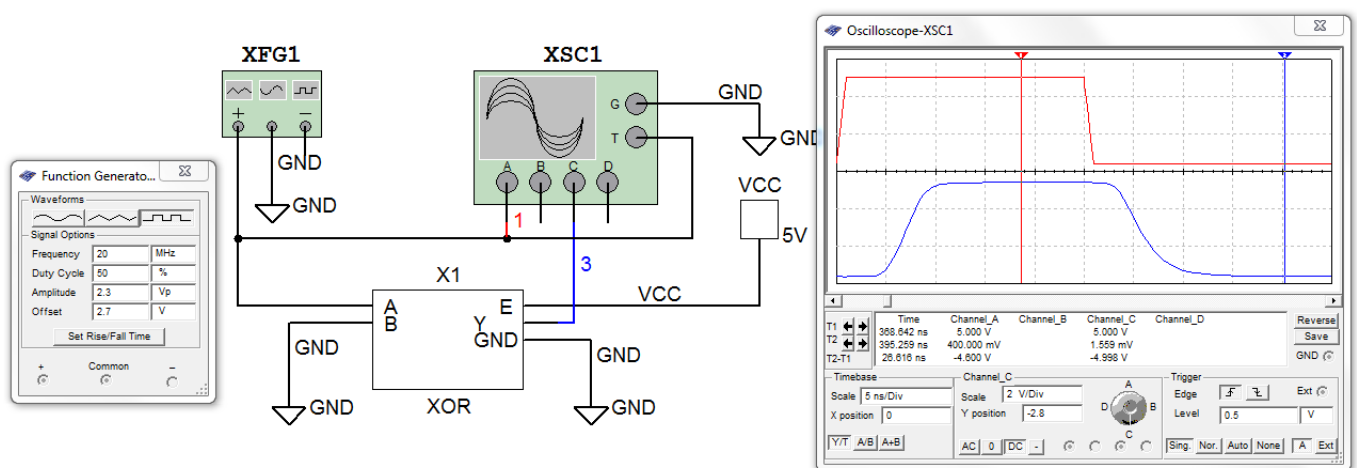


Рисунок 4.45 – Схема виміру рівнів напруги логічних "0" і "1" на вході і на виході логічного елементу Викл. АБО

Схема перевірки логічного елемента Викл. АБО на відповідність виконуваної логічної функції з формуванням таблиці істинності і аналітичного вираження у формі ДНФ представлена на рис. 4.46.

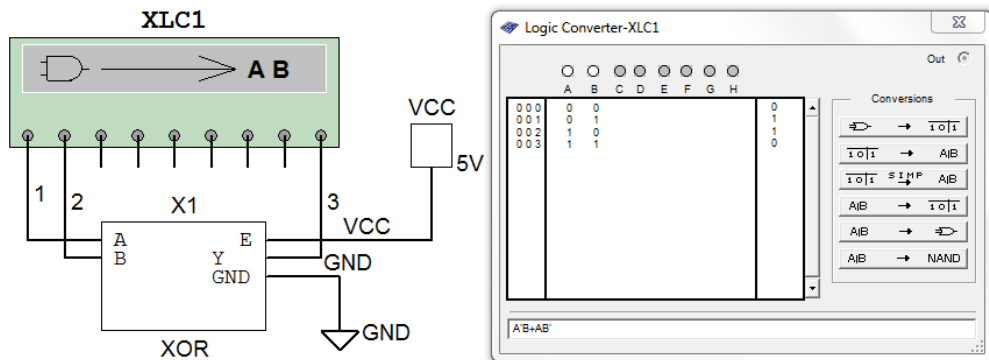


Рисунок 4.46 – Схема перевірки логічного елемента Викл. АБО на відповідність виконуваної логічної функції

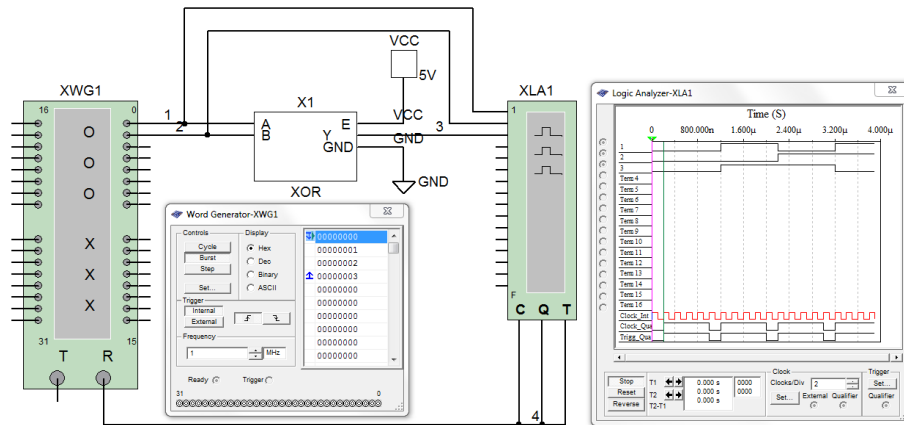


Рисунок 4.47 – Схема фіксації тимчасових діаграм на вході і виході моделі логічного елемента Викл. АБО

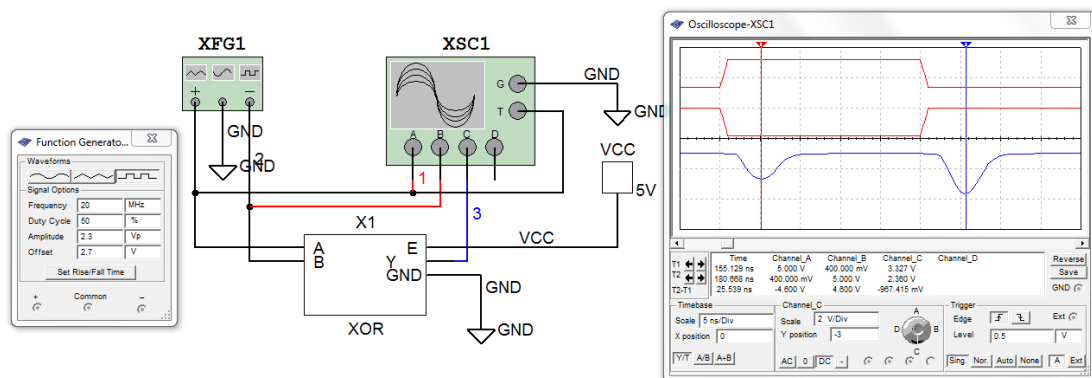


Рисунок 4.48 – Схема демонстрації стану близького до статичного ризику збою в "1" на виході логічного елемента Викл. АБО

5 ОХОРОНА ПРАЦІ ТА БЕЗПЕКА В НАДЗВИЧАЙНИХ СИТУАЦІЯХ

У даному розділі проведено аналіз потенційних небезпечних та шкідливих виробничих факторів, причин пожеж. Розглянуті заходи, які дозволяють забезпечити гігієну праці и виробничу санітарію. На підставі аналізу розроблені заходи з техніки безпеки та рекомендації з пожежної профілактики.

Умови праці на робочому місці, безпека технологічних процесів, машин, механізмів, устаткування та других засобів виробництва, стан засобів колективного та індивідуального захисту, що використовуються працівником, а також санітарно-побутові умови повинні відповідати вимогам нормативних актів про охорону праці [25].

5.1 Правові та організаційні основи охорони праці

Основним організаційним напрямом у здійсненні управління в сфері охорони праці є усвідомлення пріоритету безпеки праці і підвищення соціальної відповідальності держави, і особистої відповідальності працівників [21].

5.1.1 Організаційно-технічні заходи з безпеки праці

В організації/підприємстві проводяться навчання і перевірка знань з питань охорони праці відповідно до вимог типового положення про порядок проведення навчання і перевірки знань з питань охорони праці, затвердженого наказом Держнагляд охорони праці України від 26.01.2005 N 15, зареєстрованого в Міністерстві юстиції України 15.02.2005 за N 231[15].

Також впроваджені організаційні заходи з пожежної безпеки - навчання і перевірку знань відповідно до вимог типового положення про інструктажі [20].

5.2 Вимоги до приміщень

Геометричні розміри приміщення зазначені у таблиці 4.1. Для зручності спільної роботи з іншими працівниками (обговорення ідей, з'ясування проблем і т.д.) в кімнаті є диван і журнальний стіл. Задля дотримання визначеного рівня мікроклімату в будівлі встановлено систему опалення та кондиціонування.

Для забезпечення потрібного рівного освітленості кімната має вікно та систему загального рівномірного освітлення, що встановлена на стелі. Для дотримання вимог пожежної безпеки встановлено порошковий вогнегасник та систему автоматичної пожежної сигналізації.

Параметр	Значення
Довжина, м	6
Ширина, м	4
Висота, м	2,5
Площа, м ²	24
Об'єм, м ³	60

Таблиця 4.1 – Розміри робочого місця

Згідно до санітарних норм мікроклімату виробничих приміщень [13] розмір площі для одного робочого місця оператора персонального комп'ютера має бути не менше 6 кв. м, а об'єм – не менше 20 куб. м. Отже, дане приміщення цілком відповідає зазначеним нормам.

5.2.1 Вимоги до організації місця праці

При порівнянні відповідності характеристик робочого місця нормативним, основні вимоги до організації робочого місця (табл. 5.2) і

відповідними фактичними значеннями для робочого місця, констатуємо повну відповідність [24].

Найменування параметра	Фактичне	Нормативне
Висота робочої поверхні, мм	750	680 - 800
Висота простору для ніг, мм	730	Не менше 600
Ширина простору для ніг, мм	660	Не менше 500
Глибина простору для ніг, мм	700	Не менше 650
Висота поверхні сидіння, мм	470	400 - 500
Ширина сидіння, мм	400	Не менше 400
Глибина сидіння, мм	400	Не менше 400
Висота поверхні спинки, мм	600	Не менше 300
Ширина опорної поверхні спинки, мм	500	Не менше 380
Радіус спинки в горизонтальній	400	400
Відстань від очей до екрану дисплея, мм	800	700 - 800

Таблиця 5.2 – Характеристики робочого місця

5.3 Виробнича санітарія

На підставі аналізу небезпечних та шкідливих факторів при виробництві (експлуатації), пожежної безпеки можуть бути надалі вирішені питання необхідності забезпечення працюючих достатньою кількістю освітлення, вентиляції повітря, організації заземлення, тощо.

Роботу, пов'язану з ЕОМ з ВДТ, у тому числі на тих, які мають робочі місця, обладнані ЕОМ з ВДТ і ПП, виконують із забезпеченням виконання «Правил охорони праці під час експлуатації електронно-обчислювальних машин», які встановлюють вимоги безпеки до обладнання робочих місць, до роботи із застосуванням ЕОМ з ВДТ і ПП. Переважно роботи за проектами виконують у кабінетах чи інших приміщеннях, де використовують різноманітне

електрообладнання, зокрема персональні комп'ютери (ПК) та периферійні пристрої. Основними робочими характеристиками персонального комп'ютера є:

- робоча напруга $U=+220\text{В} \pm 5\%$;
- робочий струм $I=2\text{А}$;
- споживана потужність $P=350\text{ Вт}$.

Робочі місця мають відповідати вимогам Державних санітарних правил і норм роботи з візуальними дисплейними терміналами електронно-обчислювальних машин [22].

5.3.1 Пожежна безпека

Висока щільність елементів в електронних схемах призводить до значного підвищення температури окремих вузлів ($80\dots 100\text{ }^\circ\text{C}$). При проходженні електричного струму по провідниках і деталей виділяється тепло, що в умовах їх високої щільності може привести до перегріву, і може служити причиною запалювання ізоляційних матеріалів. Слабкий опір ізоляційних матеріалів дії температури може викликати порушення ізоляції і привести до короткого замикання між струмоведучими частинами обладнання (шини, електроди).

Для гасіння пожеж в офісному приміщенні пропонується використовувати порошкові або вуглекислотні вогнегасники, так як вони є універсальними.

Заземлені конструкції, що знаходяться в приміщеннях, де розміщені робочі місця (батареї опалення, водопровідні труби, кабелі із заземленим відкритим екраном), надійно захищені діелектричними щитками та/або сітками з метою недопущення потрапляння працівника під напругу.

В приміщенні наявна затверджена «План-схема евакуації з кабінету (приміщення)».

Горючими матеріалами в приміщенні, де розташовані ЕОМ, є:

1) поліамід - матеріал корпусу мікросхем, горюча речовина, температура самозаймання 420 °С;

2) полівінілхлорид - ізоляційний матеріал, горюча речовина, температура запалювання 335 °С, температура самозаймання 530 °С;

3) склотекстоліт ДЦ - матеріал друкарських плат, важкогорючий матеріал, показник горючості 1.74, не схильний до температурного самозаймання;

4) пластикат кабельний №489 - матеріал ізоляції кабелів, горючий матеріал, показник горючості більше 2.1;

5) деревина - будівельний і обробний матеріал, з якого виготовлені меблі, горючий матеріал, показник горючості більше 2.1, температура запалювання 255 °С, температура самозаймання 399 °С.

Простори усередині приміщень в межах, яких можуть утворюватися або знаходитися пожежонебезпечні речовини і матеріали відповідно до НАПБ Б.03.002-2007 [22] відносяться до пожежонебезпечної зони класу П-Па. Це обумовлено тим, що в приміщенні знаходяться тверді горючі та важкозаймісті речовини та матеріали. Приміщенню, у якому розташоване робоче місце, присвоюється II ступень вогнестійкості.

Причинами можливого загоряння і пожежі можуть бути:

- 1) несправність електроустановки;
- 2) конструктивні недоліки устаткування;
- 3) коротке замикання в електричних мережах;
- 4) запалювання горючих матеріалів, що знаходяться в безпосередній близькості від електроустановки.

Продуктами згорання, що виділяються на пожежі, є: окис вуглецю; сірчистий газ; окис азоту; синильна кислота; акромін; фосген; хлор і ін. При горінні пластмас, окрім звичних продуктів згорання, виділяються різні продукти термічного розкладання: хлорангідридні кислоти, формальдегіди, хлористий водень, фосген, синильна кислота, аміак, фенол, ацетон, стирол [26].

5.3.2 Електробезпека

На робочому місці виконуються наступні вимоги електробезпеки: ПК, периферійні пристрої та устаткування для обслуговування, електропроводи і кабелі за виконанням та ступенем захисту відповідають класу зони за ПУЕ (правила улаштування електроустановок), мають апаратуру захисту від струму короткого замикання та інших аварійних режимів. Лінія електромережі для живлення ПК, периферійних пристроїв і устаткування для обслуговування, виконана як окрема групова три- провідна мережа, шляхом прокладання фазового, нульового робочого та нульового захисного провідників. Електромережа штепсельних розеток для живлення персональних ПК, укладено по підлозі поруч зі стінами відповідно до затвердженого плану розміщення обладнання та технічних характеристик обладнання [23].

5.4 Гігієнічні вимоги до параметрів виробничого середовища

Мікроклімат робочих приміщень - це клімат внутрішнього середовища цих приміщень, що визначається діючої на організм людини з'єднанням температури, вологості, швидкості переміщення повітря. В даному приміщенні проводяться роботи, що виконуються сидячи і не потребують динамічного фізичного напруження, то для нього відповідає категорія робіт 1а. Отже оптимальні значення наведені в табл. 5.4 [27]

Таблиця 5.4 – Норми мікроклімату робочої зони об'єкт.

Період року	Категорія робіт	Температура С ⁰	Відносна вологість %	Швидкість руху повітря, м/с
Холодна	Легка-1 а	22-24	40-60	0,1
Тепла	Легка-1 а	23-25	40-60	0,1

5.4.1 Вентилювання

У приміщенні, де знаходяться ЕОМ, повітрообмін реалізується за допомогою природної організованої вентиляції (вентиляційні шахти), тобто при V приміщення більше 40 м^3 на одного працюючого допускається природна вентиляція. Цей метод забезпечує приток потрібної кількості свіжого повітря, що визначається в СНіП.

Також має здійснюватися провітрювання приміщення, в залежності від погодних умов, тривалість повинна бути не менше 10 хв. Найкращий обмін повітря здійснюється при наскрізному провітрюванні [19].

5.5 Освітлення

Для виробничих та адміністративних приміщень світловий коефіцієнт приймається не менше $1/8$, в побутових – $1/10$:

$$S_b = \left(\frac{1}{5} \div \frac{1}{10}\right) \cdot S \quad (5.1)$$

де S_b – площа віконних прорізів, м^2 ;

$$\begin{aligned} S_b &= a \cdot b = 4 \cdot 6 = 24 \text{ м}^2, \\ S &= 1/8 \cdot 24 = 3 \text{ м}^2 \end{aligned} \quad (5.2)$$

Приймаємо 1 вікно площею $S=3 \text{ м}^2$.

Світильники загального освітлення розташовуються над робочими поверхнями в рівномірно-прямокутному порядку. Для організації освітлення в темний час доби передбачається обладнати приміщення, довжина якого складає 5 м, ширина 5 м, світильниками ЛПО2П, оснащеними лампами типу ЛБ (дві по 80 Вт) з світловим потоком 5400 лм кожна.

Розрахунок штучного освітлення виробляється по коефіцієнтах використання світлового потоку, яким визначається потік, необхідний для створення заданої освітленості при загальному рівномірному освітленні. Розрахунок кількості світильників n виробляється по формулі:

$$n = \frac{E \cdot S \cdot Z \cdot K}{F \cdot U \cdot M} \quad (5.3)$$

де E – нормована освітленість робочої поверхні, визначається нормами – 300 лк;

S – освітлювана площа, m^2 ; $S = 24 m^2$;

Z – поправочний коефіцієнт світильника ($Z = 1,15$ для ламп розжарювання та ДРЛ; $Z = 1,1$ для люмінесцентних ламп) приймаємо рівним 1,1;

K – коефіцієнт запасу, що враховує зниження освітленості в процесі експлуатації – 1,5;

U – коефіцієнт використання, залежний від типу світильника, показника індексу приміщення і т.п. – 0,575;

M – число люмінесцентних ламп в світильнику – 2;

F – світловий потік лампи – 5400лм (для ЛБ-80).

Підставивши числові значення у формулу (5.2), отримуємо:

$$n = \frac{300 * 24 * 1.1 * 1.5}{5400 * 0.575 * 2} \approx 1,91 \quad (5.4)$$

Приймаємо освітлювальну установку, яка складається з 3-х світильників, які складаються з двох люмінесцентних ламп загальною потужністю 160 Вт, напругою – 220 В.

5.5.1 Розрахунок захисного заземлення

Згідно з класифікацією приміщень за ступенем небезпеки ураження електричним струмом [12], приміщення в якому проводяться всі роботи відносяться до першого класу (без підвищеної небезпеки). Під час роботи використовуються електроустановки з напругою живлення 36 В, 220 В, та 360 В. Опір контуру заземлення повинен мати не більше 4 Ом.

Розрахунок проводять за допомогою методу коефіцієнта використання (екранування) електродів. Коефіцієнт використання групового заземлювача η – це відношення діючої провідності цього заземлювача до найбільш можливої його провідності за нескінченно великих відстаней між його електродами. Коефіцієнт використання вертикальних заземлювачів η_v в залежності від розміщення заземлювачів та їх кількості знаходиться в межах 0,4...0,99. Взаємну екрануючу дію горизонтального заземлювача (з'єднувальної смуги) враховують за допомогою коефіцієнта використання горизонтального заземлювача η_c .

Послідовність розрахунку:

1) Визначається необхідний опір штучних заземлювачів $R_{шт.з.}$:

$$R_{шт.з.} = \frac{R_d \cdot R_{пр.з.}}{R_{пр.з.} - R_d}, \quad (5.5)$$

де $R_{пр.з.}$ – опір природних заземлювачів; R_d – допустимий опір заземлення.

Якщо природні заземлювачі відсутні, то $R_{шт.з.} = R_d$.

Підставивши числові значення у формулу (4.3), отримуємо:

$$R_{шт.з.} = \frac{4 \cdot 40}{40 - 4} \approx 4 \text{ Ом}$$

2) Опір заземлення в значній мірі залежить від питомого опору ґрунту ρ , Ом·м. Приблизне значення питомого опору глини приймаємо $\rho = 40$ Ом·м (табличне значення).

3) Розрахунковий питомий опір ґрунту, $\rho_{розр.}$, Ом·м, визначається відповідно для вертикальних заземлювачів $\rho_{розр.в.}$, і горизонтальних $\rho_{розр.г.}$, Ом·м за формулою:

$$\rho_{\text{розр.}} = \Psi \cdot \rho \quad (5.6)$$

де Ψ – коефіцієнт сезонності для вертикальних заземлювачів і кліматичної зони з нормальною вологістю землі, приймається для вертикальних заземлювачів $\rho_{\text{розр.в}} = 1,7$ і горизонтальних $\rho_{\text{розр.г}} = 5,5$ Ом·м.

$$\rho_{\text{розр.в}} = 1,7 \cdot 40 = 68 \text{ Ом} \cdot \text{м}$$

$$\rho_{\text{розр.г}} = 5,5 \cdot 40 = 220 \text{ Ом} \cdot \text{м}$$

4) Розраховується опір розтікання струму вертикального заземлювача $R_{\text{в}}$, Ом, за (4.5).

$$R_{\text{в}} = \frac{\rho_{\text{розр.в}}}{2 \cdot \pi \cdot l_{\text{в}}} \cdot \left(\ln \frac{2 \cdot l_{\text{в}}}{d_{\text{ст}}} + \frac{1}{2} \cdot \ln \frac{4 \cdot t + l_{\text{в}}}{4 \cdot t - l_{\text{в}}} \right), \quad (5.7)$$

де $l_{\text{в}}$ – довжина вертикального заземлювача (для труб – 2 – 3 м; $l_{\text{в}} = 3$ м);

$d_{\text{ст}}$ – діаметр стержня (для труб – 0,03 – 0,05 м; $d_{\text{ст}} = 0,05$ м);

t – відстань від поверхні землі до середини заземлювача, яка визначається за ф. (4.6):

$$t = h_{\text{в}} + \frac{l_{\text{в}}}{2}, \quad (5.8)$$

де $h_{\text{в}}$ – глибина закладання вертикальних заземлювачів (0,8 м); тоді

$$t = 0,8 + \frac{3}{2} = 2,3 \text{ м};$$

$$R_{\text{в}} = \frac{68}{2 \cdot \pi \cdot 3} \cdot \left(\ln \frac{2 \cdot 3}{0,05} + \frac{1}{2} \cdot \ln \frac{4 \cdot 2,3 + 3}{4 \cdot 2,3 - 3} \right) = 18,5 \text{ Ом}$$

1) Визначається теоретична кількість вертикальних заземлювачів n штук, без урахування коефіцієнта використання $\eta_{\text{в}}$:

$$n = \frac{2R_{\text{Е}}}{R_{\text{Д}}} = \frac{2 \times 18,5}{4} = 9,25 \quad (5.9)$$

І визначається коефіцієнт використання вертикальних електродів групового заземлювача без врахування впливу з'єднувальної стрічки $\eta_{\text{в}} = 0,57$ (табличне значення).

2) Визначається необхідна кількість вертикальних заземлювачів з урахуванням коефіцієнта використання $\eta_{\text{в}}$, шт:

$$n = \frac{2 \cdot R_E}{R_{д} \cdot \eta_E} = \frac{2 \cdot 18,5}{4 \cdot 0,57} \approx 16 \quad (5.10)$$

3) Визначається довжина з'єднувальної стрічки горизонтального заземлювача l_c , м:

$$l_c = 1,05 \cdot L_B \cdot (n_B - 1), \quad (5.11)$$

де L_B – відстань між вертикальними заземлювачами, (прийняти за $L_B = 3$ м);

n_B – необхідна кількість вертикальних заземлювачів.

$$l_c = 1,05 \cdot 3 \cdot (16 - 1) \approx 48 \text{ м.}$$

Визначається опір розтіканню струму горизонтального заземлювача (з'єднувальної стрічки) R_r , Ом:

$$R_r = \frac{\rho_{розр.г}}{2 \cdot \pi \cdot l_c} \cdot \ln \frac{2 \cdot l_c^2}{d_{см} \cdot h_r}, \quad (5.12)$$

де $d_{см}$ – еквівалентний діаметр смуги шириною b , $d_{см} = 0,95b$,
 $b = 0,15$ м;

h_r – глибина закладання горизонтальних заземлювачів (0,5 м);

l_c – довжина з'єднувальної стрічки горизонтального заземлювача l_c , м

$$R_r = \frac{220}{2 \cdot \pi \cdot 48} \cdot \ln \frac{2 \cdot 48^2}{0,95 \cdot 0,15 \cdot 0,5} = 8,1 \text{ Ом}$$

4) Визначається коефіцієнт використання горизонтального заземлювача η_c відповідно до необхідної кількості вертикальних заземлювачів n_B .

Коефіцієнт використання з'єднувальної смуги $\eta_c = 0,3$.

Розраховується результуючий опір заземлювального електроду з урахуванням з'єднувальної смуги:

$$R_{заг.} = \frac{R_E \cdot R_r}{R_E \cdot \eta_c + R_r \cdot \eta_E} \leq R_{д}, \quad (5.13)$$

Висновок: дане захисне заземлення буде забезпечувати електробезпеку будівлі, так як виконується умова: $R_{заг} < 4$ Ом, а саме:

$$R_{\text{зар}} = \frac{18,5 \cdot 8,1}{18,5 \cdot 0,3 + 8,1 \cdot 16 \cdot 0,57} = 1,9 \leq R_{\text{д}}$$

При виникненню пожеж при роботі на ПЕОМ від таких можливими джерел запалювання як:

- іскри і дуги коротких замикань;
- перегрів провідників, резисторів та інших радіодеталей ПЕОМ, від тривалої перевантаження та наявність перехідного опору;
- іскри при розмиканні і розмиканні ланцюгів;
- розряди статичної електрики;
- необережному поводженню з вогнем, а також вибухи газо-повітряних і паро-повітряних сумішей [23].

Висновки до розділу 5

В результаті проведеної роботи було зроблено аналіз умов праці, шкідливих та небезпечних чинників, з якими стикається робітник. Було визначено параметри і певні характеристики приміщення для роботи над запропонованим проектом написаному в кваліфікаційній роботі, описано, які заходи потрібно зробити для того, щоб дане приміщення відповідало необхідним нормам і було комфортним і безпечним для робітника.

Приведені рекомендації щодо організації робочого місця, а також важливу інформацію щодо пожежної та електробезпеки. Були наведені розміри приміщення та наведено значення температури, вологості й рухливості повітря, необхідна кількість і потужність ламп та інші параметри, значення яких впливає на умови праці робітника, а також – наведені інструкції з охорони праці, техніки безпеки при роботі на комп'ютері.

ВИСНОВКИ

В даному дипломному проєкті було розглянуто структуру систем діагностування, найрізноманітніші моделі об'єктів діагностування (ОД), опис цифрових схем як ОД у вигляді електричної принципової та функціональної схем, описано програму Multisim.

Спроектвані в середовищі моделювання Multisim моделі електричних схем логічних елементів НІ, І, АБО, І-НІ, АБО-НІ, Викл. АБО необхідні при побудові різноманітних цифрових схем як комбінаційного так і послідовностного типів.

Продемонстрована спроможність тестування статичних та динамічних параметрів спроектованих моделей електричних схем за допомогою таких моделей приладів програми моделювання Multisim як функціональний генератор та чотирьохканальний осцилограф.

Матеріали даної дипломної роботи можуть бути використані в дисциплінах: "Комп'ютерна електроніка", "Цифрова схемотехніка" та "Технічна діагностика комп'ютерних систем". Надалі моделі цих схем можуть бути використані при вивченні таких процесів в цифрових схемах як статичні і динамічні риси збоїв, що є джерелами перешкод в ланцюгах живлення.

Лабораторний практикум грає важливу роль при вивченні дисциплін схеморехнічного циклу. У процесі лабораторних занять здійснюється один з найважливіших моментів учбового процесу – зв'язок теорії з практикою, внаслідок чого студент отримує необхідні знання, вміння і навички в організації і проведенні досліджень.

ПЕРЕЛІК ЛІТЕРАТУРИ

1. Хаханов В.И. Техническая диагностика элементов и узлов персональных компьютеров. К.: ІЗМН. 1997. 308 с.
2. ГОСТ 20911-89. Техническая диагностика. Термины и определения. М.: Изд-во стандартов, 1989. 16с.
3. Автоматизированное проектирование цифровых устройств/ С.С.Бадулин, Ю.М.Барнаулов и др./ Под ред. С.С. Бадулина. М.: Радио и связь, 1981. 240с.
4. Хаханов В.И., Шкиль А.С. Троичное моделирование цифровых устройств с использованием языка кубических комплексов// АСУ и приборы автоматики. 1983. Вып.66. С.59-65.
5. Биргер А.Г. Многозначное дедуктивное моделирование цифровых устройств// Автоматика и вычислительная техника. 1982. №4. С.77-82.
6. Богомолов А.М., Сперанский Д.В. Аналитические методы в задачах контроля и анализа дискретных устройств. Саратов: Изд-во Саратов. ун-та, 1986. 240с.
7. Ярмолик В.Н. Контроль и диагностика цифровых узлов ЭВМ. Минск: Наука и техника, 1989. 234с.
8. Байда Н.П., Кузьмин И.В., Шпилевой В.Т. Микропроцессорные системы поэлементного диагностирования. М.: Радио и связь, 1987. 256 с.
9. Пархоменко П.П., Согомонян Е.С. Основы технической диагностики (Оптимизация алгоритмов диагностирования, аппаратурные средства) / Под ред. П.П. Пархоменко. М.: Энергия, 1981. 320 с.
10. Кривуля Г.Ф., Кизуб В.А., Коновалов В.Б., Хаханов В.И. Автоматизированная система диагностирования цифровых модулей // Электронное моделирование. 1987. №2. С.57-61.
11. Хаханов В.И., Шкиль А.С., Ханько В.В. Дедуктивный метод кубического моделирования неисправностей цифровых устройств // Радиоэлектроника и информатика. 1999. №1. С.... 77-84.
12. Хаханов В.И., Сысенко И.Ю., Абу Занунех И.М. Проектирование тестов для структурно-функциональных моделей цифровых схем// Радиоэлектроника и информатика. 1999. №3. С.... 51-59.
13. Киносита К., Асада К., Карацу О. Логическое проектирование СБИС. М.: Мир, 1988. 309 с.
14. Методы и средства диагностирования КМОП БИС: Учеб. пособие для вузов / С.Е. Арамонов и др./ Под ред. В.М. Кривошапка. М.: Радио и связь, 1993. 240 с.

15. Парфенов Е.М. Проектирование радиоэлектронной аппаратуры: Учеб. пособие для вузов/ Е.М. Парфенов, Э.Н. Камышная, В.П. Усачов. М.: Радио и связь, 1989. 272с.
16. Проектирование и диагностика компьютерных систем и сетей: Учебное пособие / М.Ф. Бондаренко, Г.Ф. Кривуля, В.Г. Рябцев, С.О. Фрадков, В.И. Хаханов.- К.: НМЦ ВО, 2000. - 306 с.
17. Основы технической диагностики //Под ред. П.П. Пархоменко. - М.: Энергия, 1976. - 460 с.
18. Жан М. Рабаи, Ананта Чандракасан, Боривож Николич. Цифровые интегральные схемы. Методология проектирования = Digital Integrated Circuits. — 2-е изд. — М.: Вильямс, 2007.
19. НПАОП 0.00-1.28-10 Правила охорони праці під час експлуатації електронно- обчислювальних машин
20. НПАОП 0.00–4.12.05. Типове положення про порядок проведення навчання і перевірки знань з питань охорони праці
21. НПАОП 0.00-4.15-98. Положення про розробку інструкцій з охорони праці
22. ДСН 3.3.6.042-99. Санітарні норми мікроклімату виробничих приміщень. Міністерство охорони здоров'я України (МОЗ). Постанова № 42 від 01.12.1999
23. ГОСТ 12.1.030-81 ССБТ. Електробезпека. Захисне заземлення. Занулення.
24. ДСанПІН 3.3.2.007-98. Державні санітарні правила і норми роботи з візуальними дисплейними терміналами електронно-обчислювальних машин. Міністерство охорони здоров'я України (МОЗ). Затверджено постановою № 7 головного державного санітарного лікаря України 10 грудня 1998 р.
25. НПАОП 0.00-1.28-10. Про погодження матеріалів правил охорони праці під час експлуатації електронно-обчислювальних машин. ДЕРЖАВНИЙ КОМІТЕТ УКРАЇНИ З ПРОМИСЛОВОЇ БЕЗПЕКИ, ОХОРОНИ ПРАЦІ ТА ГІРНИЧОГО НАГЛЯДУ. Наказ №65 від 23.06.2010.

26. НАПБ Б.03.002-2007. Норми визначення категорій приміщень, будинків та зовнішніх установок за вибухопожежною та пожежною небезпекою. Наказ МНС № 833 від 03.12.2007 року.

27. ГОСТ 12.1.044-89. Система стандартів безпеки праці. Вогнестійкість. Номенклатура показників і методи їх визначення (ІСО 4589-84).

ДОДАТОК А

СХІДНОУКРАЇНСЬКИЙ НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ ІМ. В. ДАЛЯ
ФАКУЛЬТЕТ ІНФОРМАЦІЙНИХ ТЕХНОЛОГІЙ ТА ЕЛЕКТРОНІКИ
КАФЕДРА КОМП'ЮТЕРНИХ НАУК ТА ІНЖЕНЕРІЇ

Напря́м підготовки 6.050102 – “комп'ютерна інженерія”

Тема дипломного проекту:

«Моделі логічних схем для діагностичних експериментів»

Студент: Усик Роман Юрійович

Керівник: Міщенко Ю.Г.

Активация Windows
Чтобы активировать Windows, перейдите в
раздел "Параметры".

Севєродонецьк, 2018 р.

Рисунок А1. Слайд 1.

Мета проекту: Побудова моделей схем електричних принципових логічних схем на МОН-транзисторах для діагностичних експериментів в вигляді тестування їх статичних та динамічних параметрів за допомогою моделей приладів програми схемотехнічного моделювання

Актуальність проекту: Матеріали даної дипломної роботи були використані при побудові складних цифрових схем комбінаційного та послідовностного типів і при виконанні експериментів в лабораторних роботах дисципліни "Технічна діагностика комп'ютерних систем".

Активация Windows
Чтобы активировать Windows, перейдите в
раздел "Параметры".



Рисунок А2. Слайд 2.

- При розгляді цифрових пристроїв (ЦП) прийнято розглядати три області представлення моделей : фізична, структурна і поведінкова (див. рис 1.)

Синтез ЦП зводиться до процесу трансформації проекту від верхнього рівня абстракції до нижнього рівня
В процесі проектування на різних рівнях використовуються моделювання і синтез, які є взаємно доповнючими процедурами.

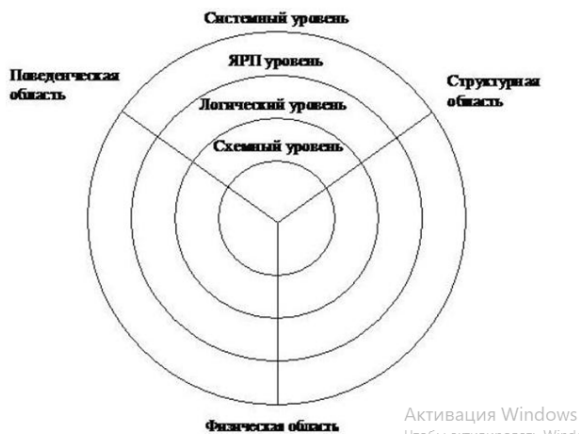


Рис. 1. Діаграма рівнів абстракції (Гайско-Кана)

Рисунок А3. Слайд 3.

- Основними рисами методів логічного моделювання є: модель сигналів, модель схеми в комп'ютері, спосіб обліку часу поширення сигналів в ЦП, управління черговістю моделювання логічних елементів. Залежно від вживаних моделей сигналів, методи діляться: за алфавітом - на двійкові і багатозначні; по використовуваній моделі схеми в комп'ютері - на інтерпретативні і компілятивні; по обліку поширення сигналів - на синхронні і асинхронні по черговості моделювання логічних елементів - наскрізні і подієві. Класифікація методів моделювання представлена на рис. .2



Рис. 2. Методи логічного моделювання

Рисунок А4. Слайд 4.

- В якості програми моделювання була використана програма схемотехнічного моделювання Multisim вікно якої представлено на рис 2.

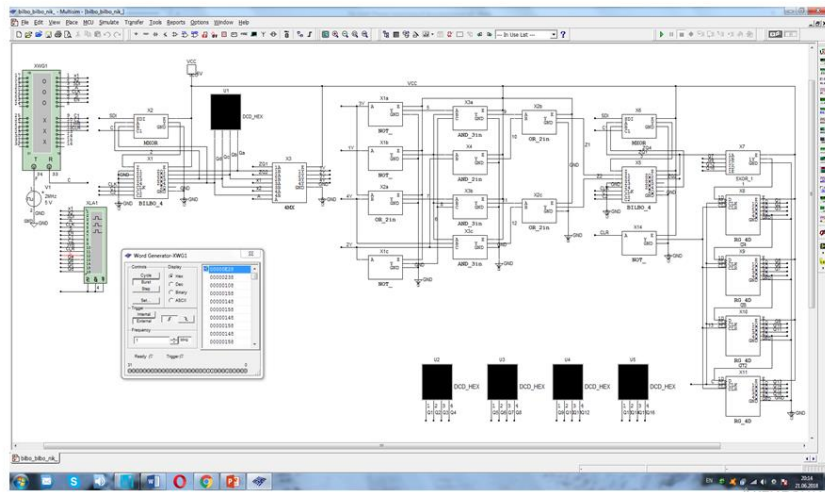


Рис. 2. Вікно програми Multisim

Активация Windows
Чтобы активировать Windows, перейдите в раздел "Параметры".

Рисунок А5. Слайд 5.

Таблица 1. Типы дефектов в цифровых устройствах

Тип дефекту	Частота
Замикання	51
Обриви	1
Пропущені компоненти	6
Неправильні компоненти	13
Перевернуті компоненти	6
Вигин провідників	8
Неправильні аналогові специфікації	5
Неправильна цифрова логіка	5
Дефекти характеристик	5

Активация Windows
Чтобы активировать Windows, перейдите в раздел "Параметры".

Рисунок А6. Слайд 6.

Условно графічне зображення, аналітичне вираження, таблиця істинності та модель схеми електричної логічного елемента Викл. АБО представлена на рис. 3

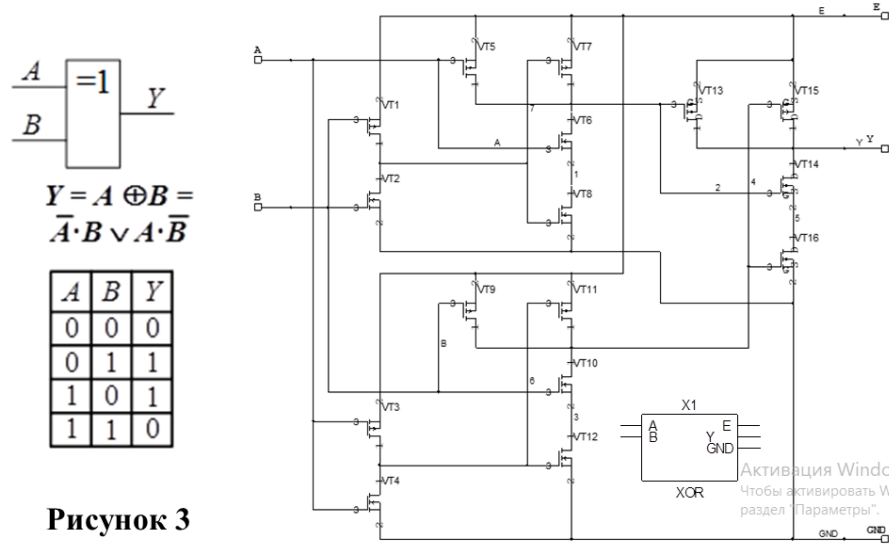


Рисунок 3

Рисунок А7. Слайд 8.

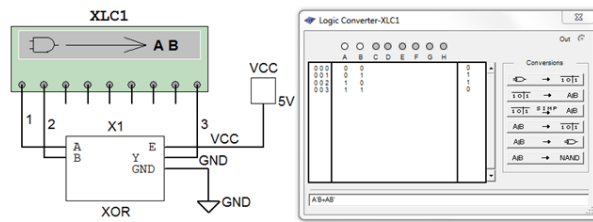


Рис. 4. Перевірка ЛЕ Викл. АБО на відповідність виконуваної логічної функції

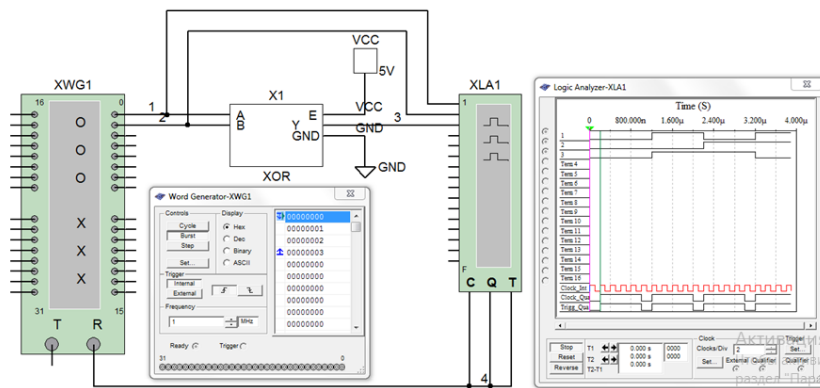


Рис. 5. Часові діаграми вхідних та вихідних сигналів ЛЕ Викл. АБО

Рисунок А8. Слайд 8.

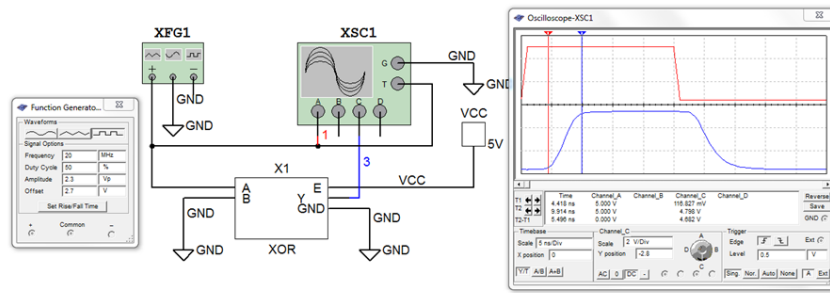


Рис. 6. Вимір переднього фронту t_{01} сигналу на виході моделі ЛЕ Викл. АБО

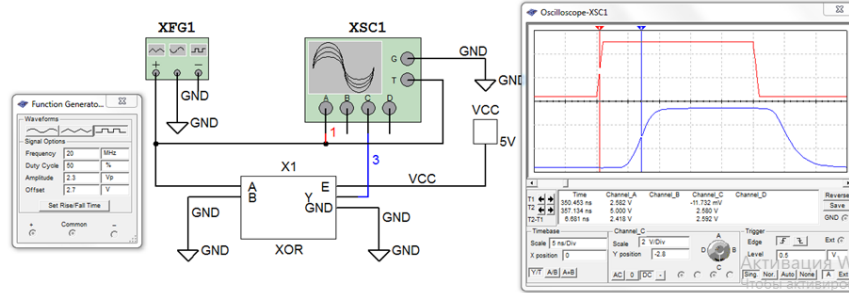


Рис. 7. Вимір затримки фронту t_{01} вихідного сигналу відносно фронту t_{01} вхідного сигналу ЛЕ Викл. АБО

Рисунок А9. Слайд 9.

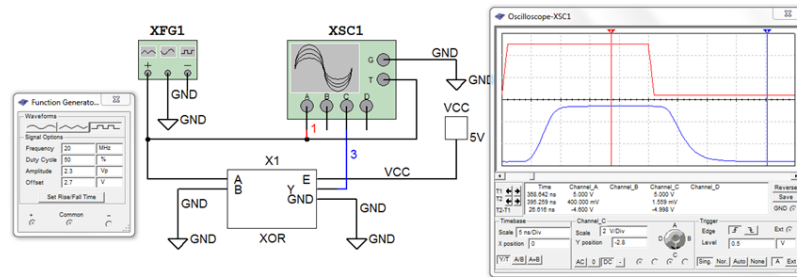


Рис. 8. Вимір рівнів напруги логічних "0" і "1" на вході та виході ЛЕ Викл. АБО

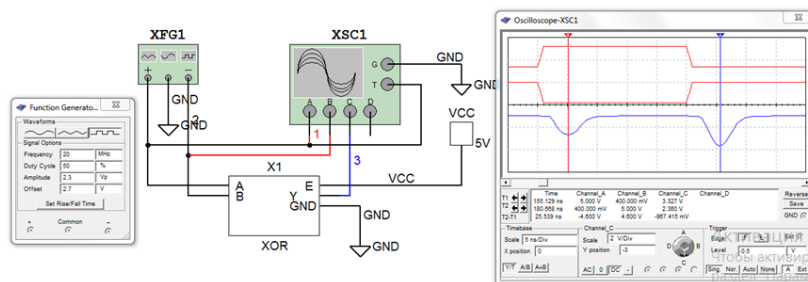


Рис. 9 Демонстрація стану близького до статичного ризику збою в "1" на виході ЛЕ Викл. АБО

Рисунок А10. Слайд 10.

ВИСНОВОК

- В даному дипломному проєкті було розглянуто структуру систем діагностування, найрізноманітніші моделі об'єктів діагностування (ОД), опис цифрових схем як ОД у вигляді електричної схеми, описано програму схемотехнічного моделювання Multisim.
- Спроектвані в середовищі моделювання Multisim моделі електричних схем логічних елементів НІ, І, АБО, І-НІ, АБО-НІ, Викл. АБО які необхідні при побудові різноманітних цифрових схем комбінаційного та послідовностного типу.
- Продемонстрована спроможність тестування статичних та динамічних параметрів спроектованих моделей електричних схем за допомогою таких моделей приладів програми моделювання Multisim як функціональний генератор, чотирьохканальний осцилограф, логічний аналізатор, генератор слів та логічний перетворювач.

Активация Windows
Чтобы активировать Windows, перейдите в раздел "Параметры".



Рисунок А11. Слайд 11.

ДЯКУЮ ЗА УВАГУ

Активация Windows
Чтобы активировать Windows, перейдите в раздел "Параметры".

Рисунок А12. Слайд 12.