

## РЕФЕРАТ

Пояснювальна записка до дипломного проекту (роботи) бакалавра: \_\_ с., \_\_ рис., \_\_ табл., \_\_ бібліографічних джерел посилань, \_\_ додаток.

Об'єкт розробки: Лабораторний стенд з дисципліни ТДКС. Схемотехніка вузлів для тестопридатного проектування

Мета роботи: Дослідження видів тестопридатного проектування. Побудова моделі цифрового автомату на КМОН технології, моделювання несправностей моделі електричної принципіальної схеми цифрового автомату.

В проекті виконано:

1. Розглянуто структуру систем діагностування, методи тестопридатного проектування
2. Описано програму Multisim 10
3. Розглянуто технологію побудови електричних принципіальних схем за технологією КМОН
4. Виконано моделювання роботи схеми й розглянуто основні види несправностей які можна дослідити на моделі електричної принципіальній схемі.

Отримано наступні результати: інформація про поведінку віртуальної принципіальної схеми при різних типах несправностей.

Практичне значення, галузь застосування роботи: Дослідження видів тестування й впливу рівнів представлення схем на інформацію отриману з моделювання.

**Ключові слова:** Комп'ютерна система, тестопридатне проектування, Multisim, КМОН технологія, МДН-транзистор, Scan path

## ЗМІСТ

СКОРОЧЕННЯ ТА УМОВНІ ПОЗНАКИ .....	7
ВСТУП .....	8
1 СТРУКТУРИ СИСТЕМ ДІАГНОСТУВАННЯ. ОСНОВНІ ВІДОМОСТІ ТЕХНІЧНОЇ ДІАГНОСТИКИ .....	9
1.1 Основні терміни .....	9
1.2 Типові моделі несправностей .....	9
1.3.Методи тестопридатного проектування .....	11
Висновки до розділу Структури систем діагностування відомості технічної діагностики .....	15
2 ОПИС ПРОГРАМИ СХЕМОТЕХНІЧНОГО МОДЕЛЮВАННЯ КОМП'ЮТЕРНИХ СИСТЕМ MULTISIM 10.0 .....	17
Висновки до розділу Опис програми схемотехнічного моделювання комп'ютерних систем Multisim 10 .....	20
3 ТЕХНОЛОГІЯ ПОБУДОВИ ЕЛЕКТРИЧНИХ СХЕМ КМОН .....	21
3.1 Польовий транзистор з ізольованим затвором.....	21
3.1.1 МДН-транзистор з індукованим каналом.....	22
3.2 Елементи на МДН-транзисторах .....	25
Висновок до розділу Технологія побудови електричних схем КМОН .....	34
4 МОДЕЛЮВАННЯ ЕЛЕКТРИЧНОЇ ПРИНЦИПАЛЬНОЇ СХЕМИ ПОБУДОВАНОЇ МЕТОДОМ СКАНУВАННЯ ШЛЯХУ (SCAN PATH).....	35
4.1 Послідовність тестування .....	36
4.2 Побудова перевірного тесту для комбінаційної частини схеми та тестової мікропрограми.....	37
4.3 Моделювання несправностей .....	41

Висновок до розділу Моднювання електричної-функціональної схеми методом сканування шляху (Scan Path) .....	48
<b>5 ОХОРОНА ПРАЦІ ТА БЕЗПЕКА В НАДЗВИЧАЙНИХ СИТУАЦІЯХ ....</b>	<b>50</b>
5.1 Вимоги до приміщень.....	50
5.1.2 Вимоги до організації місця праці .....	51
5.2 Виробнича санітарія .....	52
5.2.1 Аналіз небезпечних та шкідливих факторів при проведенні дослідження .....	52
5.2.2 Пожежна безпека.....	54
5.3 Параметри мікроклімату .....	55
5.4 Заходи з організації виробничого середовища та попередження виникнення надзвичайних ситуацій.....	57
5.4.1 Розрахунок захисного заземлення.....	57
Висновки до розділу 5 .....	61
<b>ВИСНОВКИ.....</b>	<b>62</b>
<b>ПЕРЕЛІК ДЖЕРЕЛ І ПОСИЛАНЬ .....</b>	<b>63</b>
Додаток А.....	67
Додаток Б .....	73

## СКОРОЧЕННЯ ТА УМОВНІ ПОЗНАКИ

КС - Комп'ютерна система

ТД – технічна діагностика

ОД - об'єкт діагностування

ТС – технічний стан

МОН – Метал діелектрик напівпровідник

МДН – Метал діелектрик напівпровідник

ТПР – тестопридатне проектування

SP – Scan Path

КМОН - комплементарна структура метал-оксид-напівпровідник

КЧ – Комбінаційна частина

СФД – Системи функціонального діагностування

СТД – Системи тестового діагностування

ОТ – Обчислювальна техніка

НВІС – Надвелика інтегральна схема

ОКН – Одиночна константна несправність

SP - Scan Path (сканування шляху)

RAS - Random Access Scan (сканування з довільним доступом)

LSSD - Level Sensitive Scan Design (сканування, чутливого до рівня

тактового сигналу)

ВСТ – Встроєне самотестування

МОП – Міністерство охорони праці

ПК – персональний комп'ютер

ДСТ – Державні санітарні норми

НПАОП – Нормативно правовий акт з охорони праці

ЕОМ – Електронна обчислювальна машина

ПУЕ – Правила улаштування електроустановок

## ВСТУП

Постійно зростаюча потреба в обчислювальній техніці (ОТ) супроводжується безперервним збільшенням функціональних можливостей і подальшим ускладнення структури елементної бази, що в свою чергу зумовлює підвищення вимог до надійності ОТ. Досягнення високого рівня надійності забезпечується рядом технологічних, експлуатаційних, організаційних заходів. Особливу роль в цьому відіграє технічна діагностика.

Системи технічного діагностування поділяються на системи функціонального діагностування (СФД) і системи тестового діагностування (СТД).

У СТД діагностування проводиться в режимі тестування при подачі тестових впливів. Деякий час розвивалися структурні методи генерації тестів, засновані на вентиляльному поданні об'єкта тестування.

З ростом ступеня інтеграції схем структурні методи виявилися неприйнятними, оскільки витрати на реалізацію даних методів ростуть експоненціально зі збільшенням числа вентилів схеми.

З появою мікропроцесорів почали розвиватися функціональні методи генерації тестів, призначені для вже готових НВІС. Зазвичай повна інформація про внутрішню структуру мікросхеми відсутня, а доступні лише опису пристрою на функціонально-блоковому рівні. Виходячи з обмежень інформації, доступної користувачеві, функціональне тестування було найбільш доцільним.

Все більш зростаюча складність НВІС зробила скрутним застосування і методів функціонального тестування. З'явилася необхідність використання принципово нових можливостей вирішення завдань тестового діагностування, якими в даний час і є методи тестопридатного проектування (ТПР).

# 1 СТРУКТУРИ СИСТЕМ ДІАГНОСТУВАННЯ. ОСНОВНІ ВІДОМОСТІ ТЕХНІЧНОЇ ДІАГНОСТИКИ

## 1.1 Основні терміни

Технічна діагностика – наука, яка займається вивченням технічного стану об'єктів [6].

Об'єкт діагностування (ОД) – об'єкт або його частина, для якого потрібно визначити технічний стан (ТС) [6].

## 1.2 Типові моделі несправностей

Несправність - представлення дефекту на абстрактному функціональному рівні [14].

Несправність є моделлю, яка представляє ефект фізичного дефекту на логічному або функціональному рівні. Відзначимо, що кілька різних дефектів можуть представлятися однією і тією ж несправністю [16]. З іншого боку, одному фізичному дефекту іноді може відповідати кілька несправностей. Зауважимо, що несправність зазвичай має більш ясне трактування, ніж фізичний дефект. Будучи моделлю, несправність не завжди точно відповідає фізичному дефекту, але використовувані моделі - несправності, як правило, корисні (ефективні) при виявленні дефектів. Класичним прикладом є поодинокі константні несправності, хоча очевидно, що ця модель не точно описує всі фізичні дефекти. Але тести, побудовані для цих несправностей, виявляються ефективними і для інших типів несправностей. Однак, як і будь-яка модель, константні несправності не описують всіх можливих дефектів.

Особливо це стосується сучасної МОН-технології [15]. Тому розроблені інші моделі - несправності (зокрема, типу транзистор «постійно відкритий або закритий»), які більш адекватно відображають фізичні дефекти цієї технології. У Таб. 1.1 представлені найбільш поширені типові моделі несправності [7].

Таблиця 1.1 – Типові моделі несправностей

Моделі несправностей	Опис
Одиночні константні несправності	Одна лінія схеми приймає постійне значення 0 або 1.
Кратні константні несправності	Дві або більше лінії схеми мають постійні значення сигналів.
Мостикові несправності	Дві або більше лінії схеми, значення сигналів на яких не залежать один від друга в справній схемі, стають електрично пов'язаними в несправній.
Несправності «стійке замикання транзистора»	В КМОН логіці транзистор знаходиться постійно в замкнутому (провідному) стані.
Несправності, що перемежуються	Викликаються погіршенням внутрішніх параметрів схеми. Неправильні сигнали виникають при деяких, але не всіх станах схеми. Погіршення параметрів прогресує до тих пір, поки не проявиться як постійна несправність
Нестійкі несправності	Помилкові значення сигналів викликаються «наводки». наведення може бути ємнісний через шину живлення або індуктивної
Дефектно-орієнтовані несправності	Помилкові значення сигналів викликаються «наводки». наведення
Несправність «затримка»	Визивається затримкою розповсюдження сигналів в одному або більше лініях схеми.

### 1.3.Методи тестопридатного проектування

Використання тестопридатного проектування (ТПР) в якості потенційного рішення задачі тестування схем обумовлено наступними факторами [13]:

- необхідність ефективних за вартістю методів тестування, придатних для використання на всіх етапах від розробки до виготовлення та експлуатації;
- неадекватність моделі ОКН дефектів схем;
- збільшення складності упаковки схем при обмеженій кількості зовнішніх висновків, що призводить до погіршення доступності внутрішніх логічних вузлів;
- збільшення вартості і тривалості виконання завдання генерації тестів;
- збільшення обсягу інформації, що міститься в тестових наборах, в зв'язку з чим, зростає складність організації ефективної обробки даної інформації за допомогою автоматичного випробувального устаткування;
- значна вартість автоматичного випробувального устаткування і часу виконання тестування, а також все збільшується розрив між продуктивністю тестера і швидкістю тестованих схем.

В даний час існує велике різноманіття методів ТПР, які умовно можуть бути розбиті на три групи: неструктурні методи, методи сканування і методи вбудованого самотестування (ВСТ) (Рис.1.1.) [18].



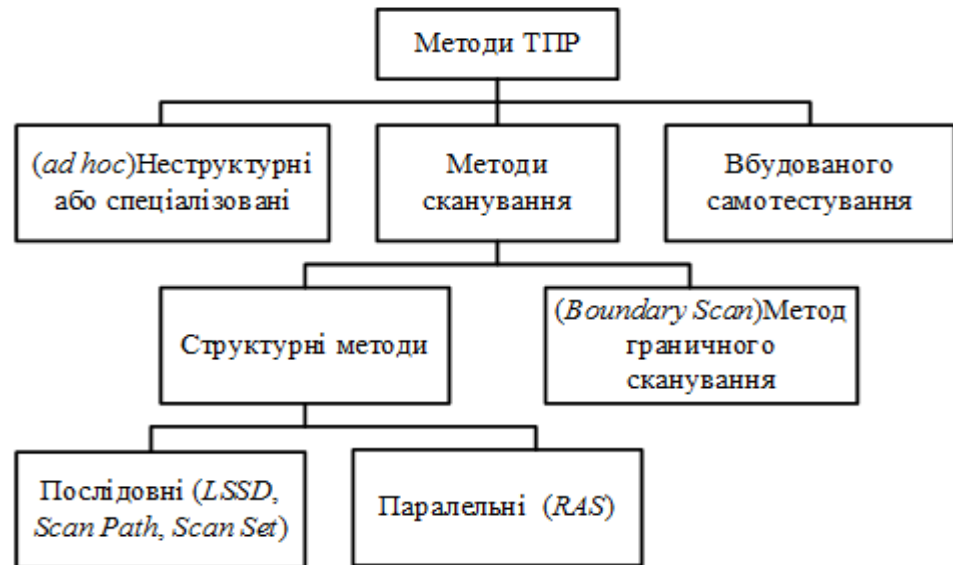


Рисунок 1.1. Класифікація методів ТТР

Головні відмінності між методами ТТР [24]:

- точка застосування в процесі проектування;
- кількість додаткового обладнання (логіки), яке потрібно для реалізації методу.

Неструктурні методи являють собою сукупність правил поліпшення спостереження та управління деяких елементів схеми і використовуються на останніх етапах проектування, вимагаючи незначних додаткових витрат апаратури для реалізації.

Методи сканування і ВСТ є інтегральною частиною процесу проектування (починаючи з самих ранніх етапів) і вимагають значно більших витрат апаратури в порівнянні з неструктурними методами [11].

Існує досить велика кількість методів сканування.

Найбільш відомі з них:[7]

- SP - Scan Path (сканування шляху) фірми Nippon Electric (Японія);
- RAS - Random Access Scan (сканування з довільним доступом) фірми Fujitsu (Японія);
- LSSD - Level Sensitive Scan Design (сканування, чутливого до рівня тактового сигналу) фірми IBM (США);

- Scan Set (сканування-установка) фірми Sperry Univac (транснаціональна корпорація);

- Boundary Scan (граничне сканування) дослідницької групи JTAG за підтримки 200 фірм.

Методи сканування (за винятком Boundary Scan) засновані на такому перетворенні вихідної схеми, при якому всі елементи пам'яті стають легко керованими і спостерігаються в режимі тестування за допомогою об'єднання їх в шлях сканування. Таке перетворення дозволяє тестувати послідовну і комбінаційну частини окремо, що спрощує побудову тесту і забезпечення його прийнятною повноти:

- для елементів пам'яті, з'єднаних в зсувний регістр (шлях сканування), використовуються стандартні тести;

- для комбінаційної частини будується тест детермінованими способами.

Ці методи є регулярними, тобто, дозволяють однаковим способом організувати тестування на всіх рівнях, від кристала до системи в цілому. Їх ще називають структурними методами, оскільки має місце перетворення структури пристрою. Існують різні модифікації структурних методів: в одних передбачається організація кількох шляхів сканування, що дозволяє здійснювати декомпозицію схеми на підсхеми; в інших використовується неповне сканування - включають в шлях не всі тригери, а тільки частину [24].

У методі Boundary Scan в основу принципу була покладена концепція розміщення послідовного зсувного регістру по межах пристрої. Причому, самі осередки такого регістра розташовуються безпосередньо між первинними входами / виходами пристрою і логічним ядром (структура ядра не змінюється, логіка ядра може бути будь-який – комбінаційної, послідовної). Кілька пристроїв на платі можуть бути об'єднані в єдиний послідовний шлях сканування. Основним завданням такої архітектури є тестування з'єднань.

Всі методи сканування мають апаратні витрати приблизно від 4 до 20%. При цьому на 25 - 50% скорочується час генерації тестів на 30 - 70% - число тестових наборів [21].

Методи ВСТ характеризуються тим, що в загальному випадку тестова структура, вбудована в пристрій, містить генератор тестів і аналізатор вихідних послідовностей [11].

Для спрощення генератора тестової послідовності застосовують методи генерації, які характеризуються високою регулярністю, або, навпаки, випадкові тестові набори. Аналізатор здійснює стиснення вихідних послідовностей тестованої схеми і порівняння з еталоном. Тестування проводиться на реальних частотах.

Додаткові витрати можуть доходити до 30%. Класичний метод ВІЛВО не отримав широкого застосування через велику апаратною надмірності (30%) [15].

Всі методи ТПР характеризується двома основними показниками [7]:

- витратами на реалізацію;
- зниженням вартості тестування.

Витрати на реалізацію можуть визначатися як:

- кількість додаткових елементів і висновків;
- додаткова площа кристала;
- погіршення функціональних характеристик.

У вартість тестування входять:

- витрати на генерацію тестів і моделювання несправностей;
- вартість зовнішнього тестового обладнання;
- час тестування.

Неструктурні методи тестопридатного проектування використовуються на останніх етапах проектування і мають незначні додаткові апаратні витрати. Ці методи являють собою сукупність правил поліпшення спостереження та управління деяких елементів схеми.

Правила:

1. Організувати установку послідовних схем. Бажано, щоб ланцюга установки були виведені на зовнішні контакти.

2. Зменшувати коефіцієнт об'єднання, розгалуження, покращувати керуваність в місцях, де до єдиного вентиля або друкованого провідника приєднані виходи декількох послідовних або комбінаційних каскадів.

3. Мати можливість блокування виходу тактового генератора і підключення замість нього зовнішнього генератора через додатковий зовнішній контакт в тестовому режимі. Вихід тактового генератора повинен бути виведений на зовнішній контакт.

4. Мати можливість обриву зворотного зв'язку в режимі тестування, це можна забезпечити шляхом введення додаткових вентилів, мультиплексорів і контрольних точок або висновком петлі зворотного зв'язку на зовнішні контакти.

5. Мати можливість видалення БІС з пристрою, що перевіряється. Це досягається шляхом установки БІС в сокети.

6. Для схем з шинної архітектурою необхідно мати доступ до основних шинам з зовнішніх контактів. Таким чином, перераховані вище правила визначають ділянки схеми, керуваність і спостережуваність, яких повинна бути поліпшена в першу чергу. Крім того, ділянки схем, що представляють труднощі для тестування, можуть бути визначені за допомогою обчислення заходів тестопридатності [24].

### **Висновки до розділу Структури систем діагностування відомості технічної діагностики**

Методи тестопридатного проектування поділяються на неструктурні або спеціалізовані методи, структурні методи або методи сканування, й методи вбудованого самотестування.

Виявлено що, методи сканування (за винятком Boundary Scan) засновані на такому перетворенні вихідної схеми, при якому всі елементи

пам'яті стають легко керованими і спостерігаються в режимі тестування за допомогою об'єднання їх в шлях сканування.

Методи ВСТ характеризуються тим, що в загальному випадку тестова структура, вбудована в пристрій, містить генератор тестів і аналізатор вихідний послідовності.

Неструктурні методи тестопридатного проектування використовуються на останніх етапах проектування і мають незначні додаткові апаратурні витрати. Ці методи являють собою сукупність правил поліпшення спостереження та управління деяких елементів схеми.

## 2 ОПИС ПРОГРАМИ СХЕМОТЕХНІЧНОГО МОДЕЛЮВАННЯ КОМП'ЮТЕРНИХ СИСТЕМ MULTISIM 10.0

Multisim – це єдиний у світі інтерактивний емулятор схем, він дозволяє створювати найкращі продукти за найменший проміжок часу. Він дає можливість розробки схеми й її тестування/емуляції з однієї середи розробки. У такого підходу є багато переваг. Новачкам не потрібно турбуватися про складний синтаксис SPICE й його команди, а у досвідчених користувачів є можливість настройки всіх параметрів [25].

Окрім традиційного аналізу, Multisim дозволяє користувачам підключати к схемі віртуальні прилади. Концепція віртуальних приладів – це простий й швидкий засіб побачити результат за допомогою іммітації реальних подій. Ця можливість допоможе студентам вивчати багато різних схемотехнічних дисплін у числі й Технічну діагностику комп'ютерних систем [25].

Серед цих віртуальних приладів є генератор слів (Рис.2.1), який призначений для генерації 32-розрядних двійкових слів і використовується для відправки цифрового слова або бітового шаблону в схему при симуляції цифрових схем.

У Multisim для того щоб додати даний віртуальний прилад на схему потрібно вибрати за допомогою лівої кнопки миші його піктограму на панелі «Прилади», а потім розмістити його за допомогою миші в необхідному місці на схемі [25].

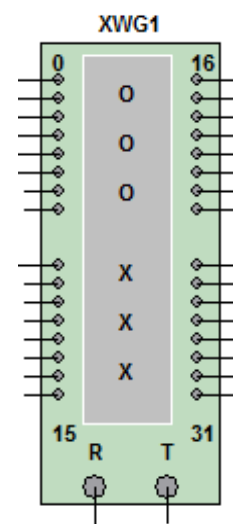


Рисунок 2.1 – Генератор слів  
у програмі Multisim

Розглянемо більш докладно інтерфейс лицьової панелі генератора слів (Рис.2.2). Слова, які генеруються відображаються в буфері виводу, вікно якого розташоване в правій частині лицьової панелі генератора. Введення слів в буфер може проводитися і вручну. Кожна горизонтальний рядок відображає одне слово. Тип числа, яке відображається в буфері виводу, залежить від того, в яку позицію встановлений перемикач в поле «Відображення». Число може приймати шестнадцятиричне, десяткове, двійкове або ASCII значення. Після запуску генератора, сформована рядок біт посилається паралельно на відповідні висновки приладу, а так само відображається в нижній частині передньої панелі в полі «31...0» (поле являє вихідні висновки генератора слів).

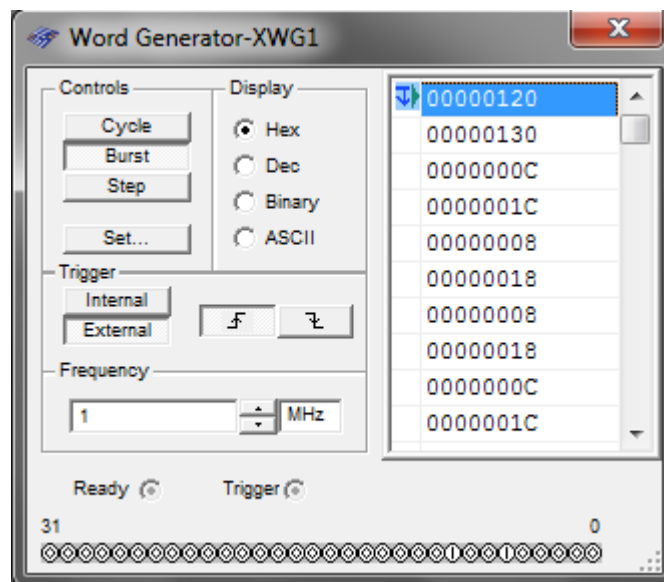


Рисунок 2.2 - Інтерфейс лицьової панелі генератора слів у програмі Multisim

Частота генерації слів задається в діапазоні від 1 Гц до 1000 МГц в полі «Частота» вікна лицьової панелі генератора слів. Запуск генератора може проводитися як внутрішнім, так і зовнішнім сигналом синхронізації (по фронту або по спаду сигналу), вибір якого проводиться в полі «Запуск» за допомогою кнопок «Внутрішній», «Зовнішній».

Також у цій програмі є логічний аналізатор (Рис. 2.3), він відображає рівні до 16 цифрових сигналів в схемі. Використовується для швидкого збору даних про логічному стані і розширеного тимчасового аналізу при розробці великих систем і виявленні несправностей [25].

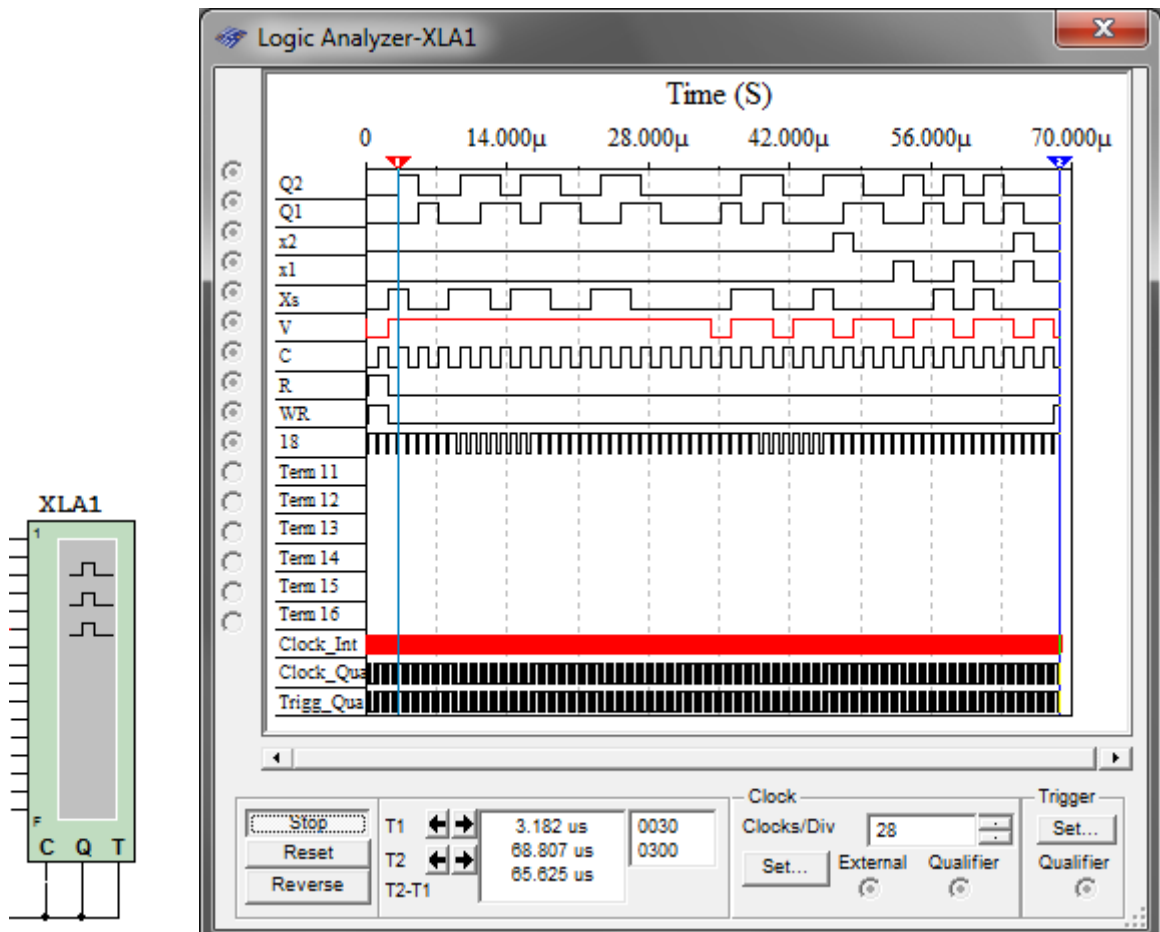


Рисунок 2.3 – Логічний аналізатор у програмі Multisim

16 кружків на лівій стороні панелі інструментів відносяться до горизонтальних строк (часових діаграм). Коли виходи з'єднані з вузлами, кружки відображаються з чорними цятками та відображають імена вузлів і колір. Інакше кружки відображаються без чорних крапок.

Коли схема активізується, логічний аналізатор записує вхідні значення своїх виходів. При отриманні сигналу перемикавання логічний аналізатор відображає дані перед і після перемикавання. Дані відображаються як завжди як



прямокутні імпульси. Верхній ряд відображає значення каналу 1, наступний каналу 2 і т.д. Двійкові значення кожного біта в поточному слові відображаються на виходах лівого боку панелі приладу. Часова вісь відображається, як верхня вісь діалогового вікна відображення сигналів. Діалогове вікно також відображає сигнал внутрішнього тактового генератора, зовнішнього тактового генератора, сигналу зовнішнього описателя синхроімпульсов і сигналу уточнителя імпульсів запису.

Для завдання кількості зразків, які зберігаються до і після перемикання клацніть по Set в області Clock або використовуйте зумовлені установки інструменту, як пояснюється в розділі «Установки інтерактивної симуляції».

Логічний аналізатор збирає дані поки не досягне кількості зразків до перемикання. Потім він починає скидати зразки в міру приходу нових поки присутній сигнал перемикання. Після сигналу перемикання зразки зберігаються до значення, встановленого для кількості після перемикання.

Тимчасова позиція автоматично відображає час положення сигналів перехрестям курсора, T1 і T2, коли вибірка зупиняється. Також автоматично перший курсорперехрестье T1 переміщається до положення тимчасового нуля, коли вибірка зупиняється.

Щоб змінити поріг напруги, використовуйте зумовлені установки інструменту, як описано в «Установки інтерактивної симуляції»

## **Висновки до розділу Опис програми схемотехнічного моделювання комп'ютерних систем Multisim 10**

Була обрана програма Multisim 10 через те що в ній є досить велика база віртуальних приладів в тому числі й ті які допоможуть протестувати схему на тестопригодність.

### 3 ТЕХНОЛОГІЯ ПОБУДОВИ ЕЛЕКТРИЧНИХ СХЕМ КМОН

КМОН (КМОН; комплементарна структура метал-оксид-напівпровідник) — технологія побудови логічних електричних схем. У технології КМОН використовуються МДН-транзистори з ізольованим затвором з каналами різної провідності [19].

Основною особливістю схем КМОН в порівнянні з біполярними технологіями є дуже мале енергоспоживання в статичному режимі (здебільшого можна вважати, що енергія споживається тільки під час перемикання станів) у випадку послідовного їх з'єднання (наприклад, у вигляді інвертора, чи якоїсь іншої логічної схеми) [19].

Другою особливістю структури КМОН в порівнянні з іншими МОН-структурами є наявність як n-, так і p-канальних польових транзисторів на одній напівпровідниковій підкладці; як наслідок, КМОН-схеми мають вищу швидкість та менше енергоспоживання, проте при цьому характеризуються складнішим технологічним процесом виготовлення і меншою щільністю упаковки [19].

#### 3.1 Польовий транзистор з ізольованим затвором

Польовий транзистор – напівпровідниковий пристрій, переважно із трьома виводами, в якому сила струму, що протікає між двома електродами (витоком і стоком) регулюється напругою, прикладеною до третього електрода (затвора) [14].

В польових транзисторах с ізольованим затвором, затвор відокремленню від напівпровідника слоєм діелектрика. Ці транзистори позначають

абревіатурою МОН (метал - окисел - напівпровідник) та МДН (метал – діелектрик - напівпровідник).

МДН-транзистори поділяють на два типи: МДН-транзистор з вбудованим каналом і МДН-транзистор з індукованим каналом [13].

### 3.1.1 МДН-транзистор з індукованим каналом

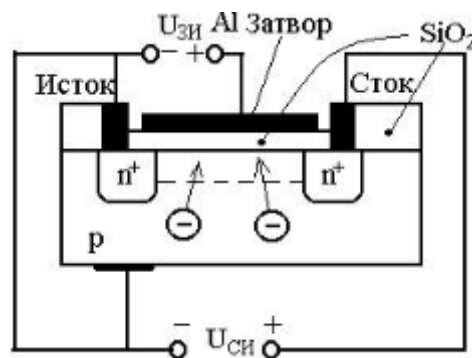


Рисунок 3.1 - Структура МДН-транзистора з індукованим каналом

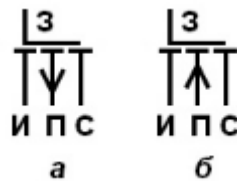


Рисунок 3.2 - Схематичне зображення МДН-транзистору з індукованим затвором, а – р-типу, б – n – типу

Транзистор з індукованим каналом має області витоку  $n +$  і стоку  $n +$ , які виведені шляхом металізації через отвір в окису кремнію на контакти – витік і стік. На шар двоокису окису кремнію напильють шар алюмінію, службовець затвором. Можна вважати, що алюмінієвий затвор і напівпровідниковий матеріал р-типу утворюють плоский конденсатор з окісним діелектриком,

Якщо на металеву частину затвора подати позитивне напруга, то позитивний заряд обкладання затвора індукує відповідний негативний заряд в напівпровідникової області каналу. Із зростанням позитивного напруги цей заряд, створений притягнутими з глибини р-області провідника електронами, які є неосновними носіями, перетворює поверхневий шар напівпровідника р-типу в провідний канал n-типу, що з'єднує вихідні n + -області витоку і стоку. Тому зменшується опір матеріалу між витоком і стоком, що веде до збільшення струму стоку. Таким чином, завдяки електростатичного індукції між витоком і стоком відбувається інверсія типу провідності напівпровідника. Шар напівпровідника р-типу перетворюється в напівпровідник n-типу. До інверсії опір між витоком і стоком визначається опором закритого переходу, так як до інверсії має місце структура n + -p-n +. Після інверсії утворюється n-провідність і структура стає n + -n-n +. Змінюючи напругу на затворі, можна управляти струмом стоку. Якщо взяти підкладку n-типу, то можна побудувати МДП-транзистор з індукованим р-каналом, який управляється від'ємною напругою на затворі [15].

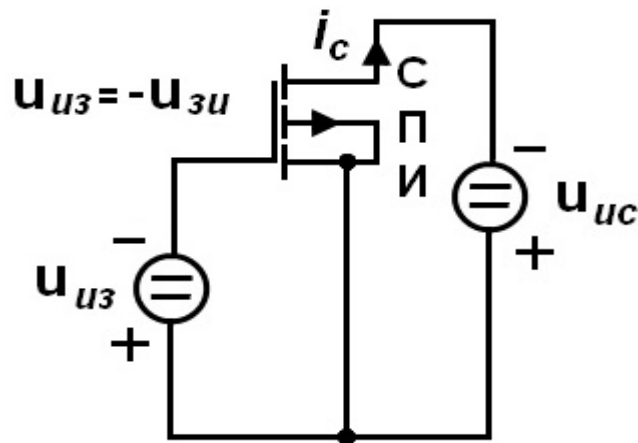


Рисунок 3.3 - Схема підключення МДН-транзистора з індукованим каналом

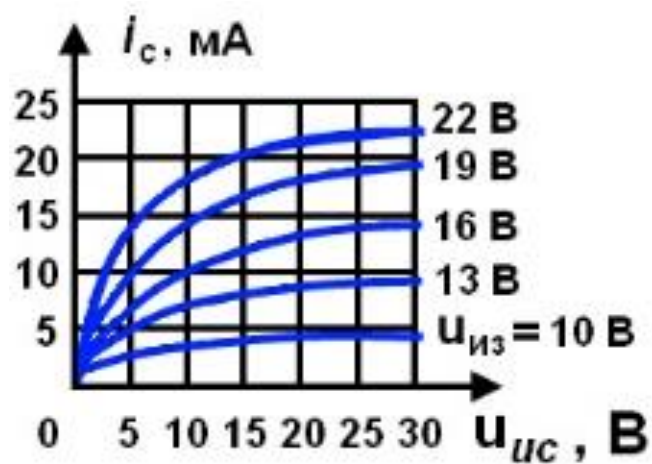


Рисунок 3.4 - Вихідні характеристики МДН-транзистора з індукованим каналом

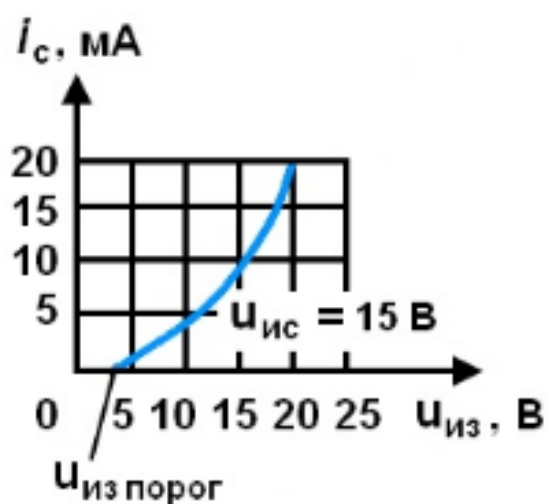


Рисунок 3.5 - Стокозатворна характеристика МДН-транзистора з індукованим каналом

### 3.2 Елементи на МДН-транзисторах

Логічний елемент 2І представлено на рисунках 3.6.

Таблиця 3.1. – Таблиця дійсності логічного елемента 2І

In1	In2	Out
0	0	0
1	0	0
0	1	0
1	1	1

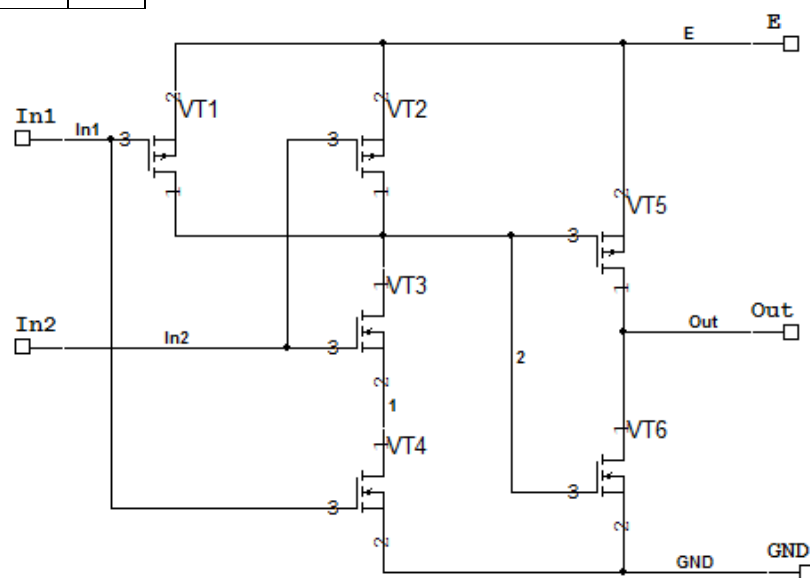


Рисунок 3.6 – Модель принципiальної схеми логічного елемента 2І на МДН-транзисторах

Логічний елемент 2І-НІ представлено на рисунку 3.7.

Таблиця 3.2. Таблиця дійсності логічного елемента 2І-НІ

In1	In2	Out
0	0	1
1	0	1
0	1	1
1	1	0

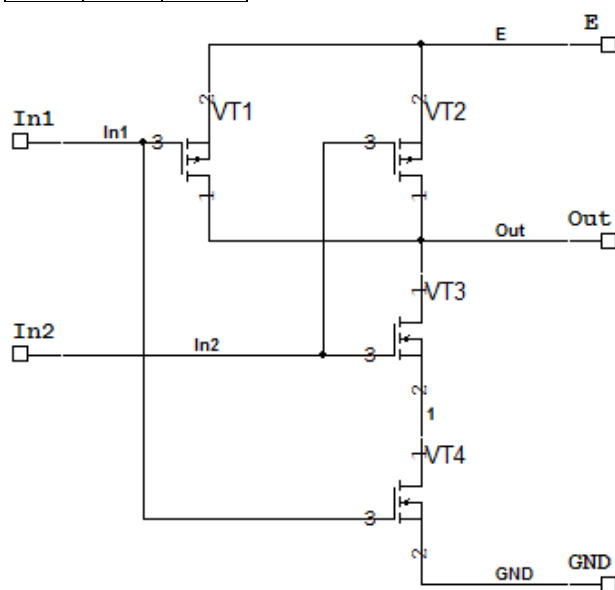


Рисунок 3.7 - – Модель принципіальної схеми логічного елемента 2І-НІ на МДН-транзисторах

Логічний елемент 2АБО представлено на рисунку 3.8.

Таблиця 3.3. Таблиця дійсності логічного елемента 2АБО

In1	In2	Out
0	0	0
1	0	1
0	1	1
1	1	1

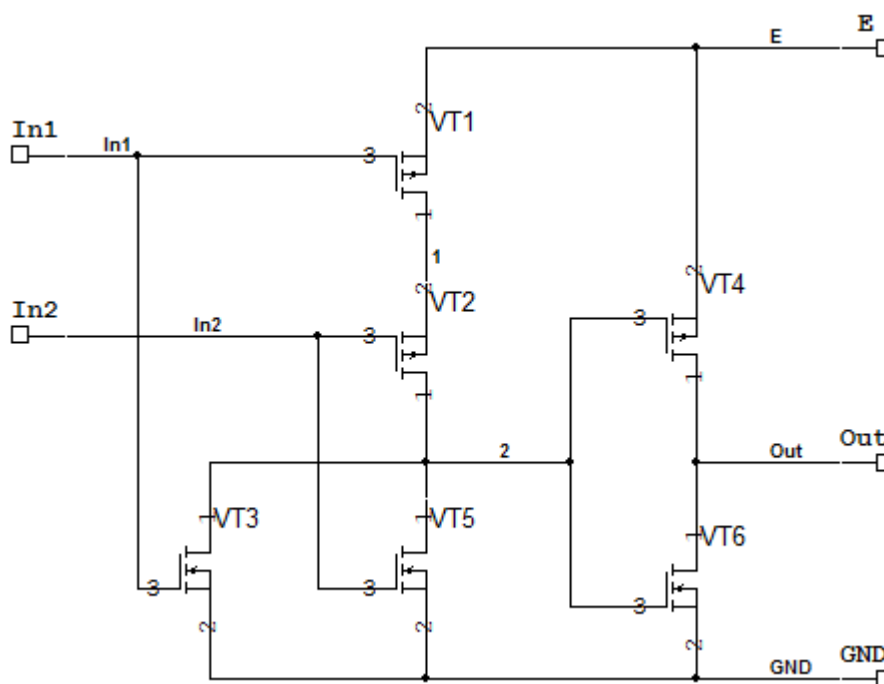


Рисунок 3.8 - Модель принципiальної схеми логiчного елемента 2АБО на МДН-транзисторах

Логiчний елемент 2АБО-НІ представлено на Рисисунку 3.9.

Таблиця 3.4. Таблиця дiйсностi логiчного елемента 2АБО-НІ

In1	In2	Out
0	0	1
1	0	0
0	1	0
1	1	0



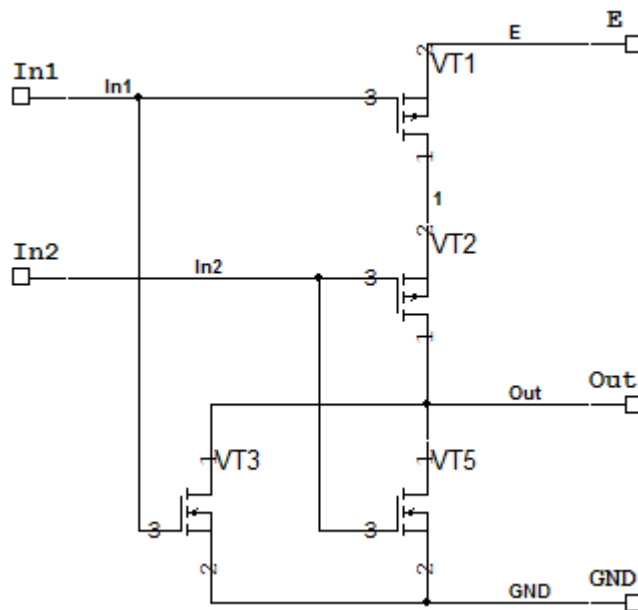


Рисунок 3.9 - Модель принципіальної схеми логічного елементу 2АБО-НІ на МДН-транзисторах

Логічний елемент НІ (Рис.2.10.)

Таблиця 3.5. Таблиця дійсності логічного елементу НІ

In	Out
1	0
0	1

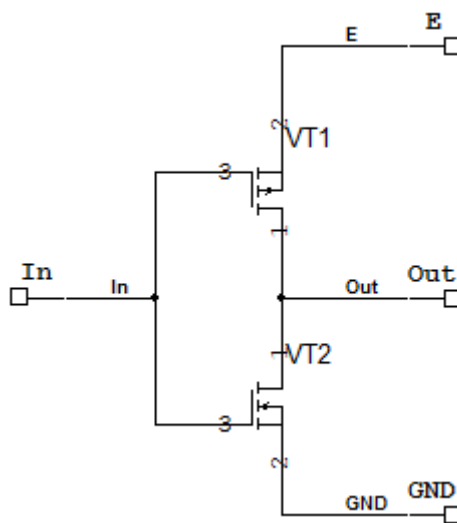


Рисунок 3.10 - Модель принципіальної схеми логічного елементу НІ на МДН-транзисторах

Логічний елемент двоходова виключна диз'юнкція представлено на Рисунку 3.11.

Таблиця 3.6. Таблиця дійсності логічного елемента двоходова виключна диз'юнкція

In1	In2	Out
0	0	0
1	0	1
0	1	1
1	1	0

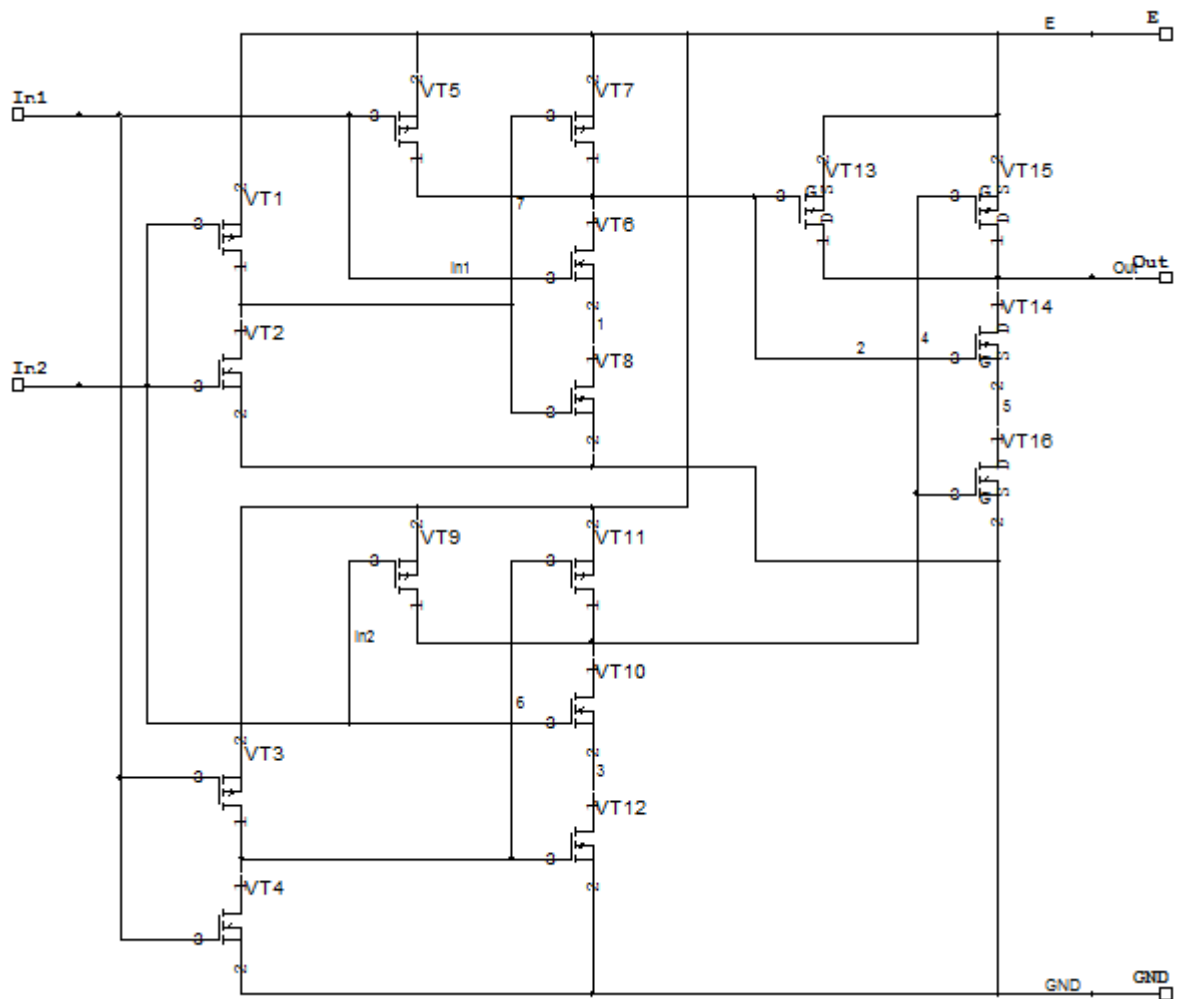


Рисунок 3.11 - Модель принципальної схеми логічного елемента двоходова виключна диз'юнкція на МДН-транзисторах

Логічний елемент 3І представлено на Рисунку 3.12.

Таблиця 3.7. Таблиця дійсності логічного елемента 3І

In1	In2	In3	Out
0	0	0	0
1	0	0	0
0	1	0	0
1	1	0	0
0	0	1	0
1	0	1	0
0	1	1	0
1	1	1	1

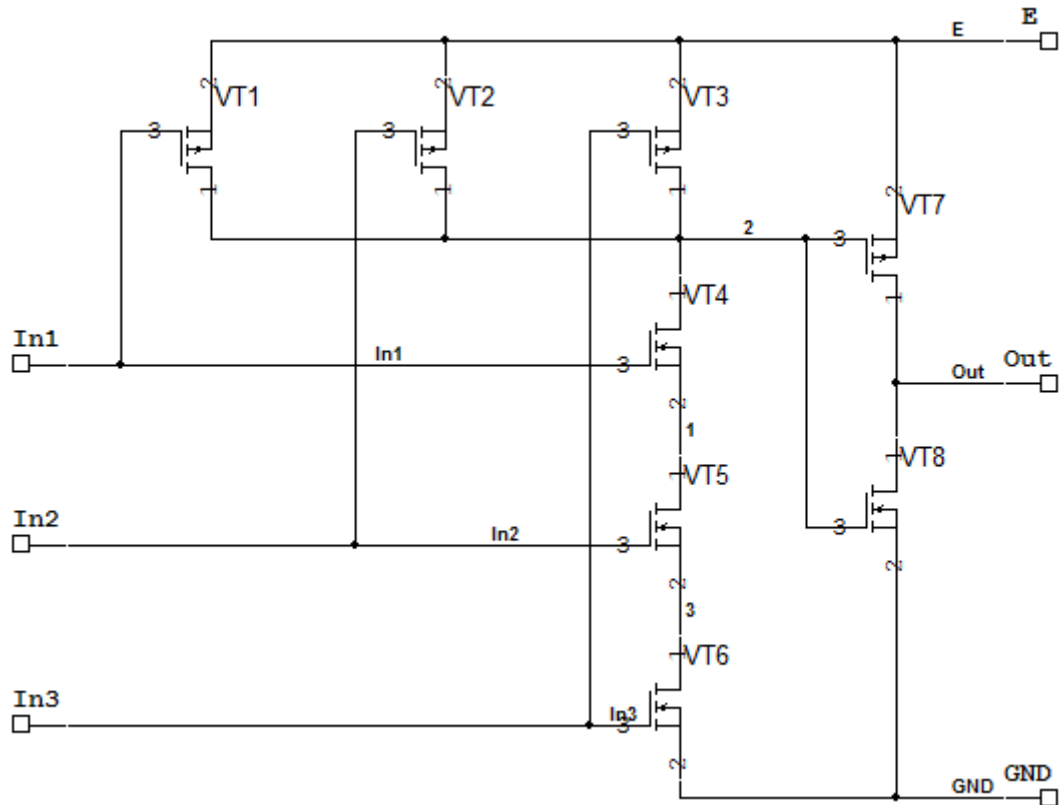


Рисунок 3.12 - Модель принципiальної схеми логічного елемента 3І на МДН-транзисторах

Логічний елемент 3І-НІ представлено на Рисунку 3.13.

Таблиця 3.8. Таблиця дійсності логічного елемента 3І-НІ

In1	In2	In3	Out
0	0	0	1
1	0	0	1
0	1	0	1
1	1	0	1
0	0	1	1
1	0	1	1
0	1	1	1
1	1	1	0

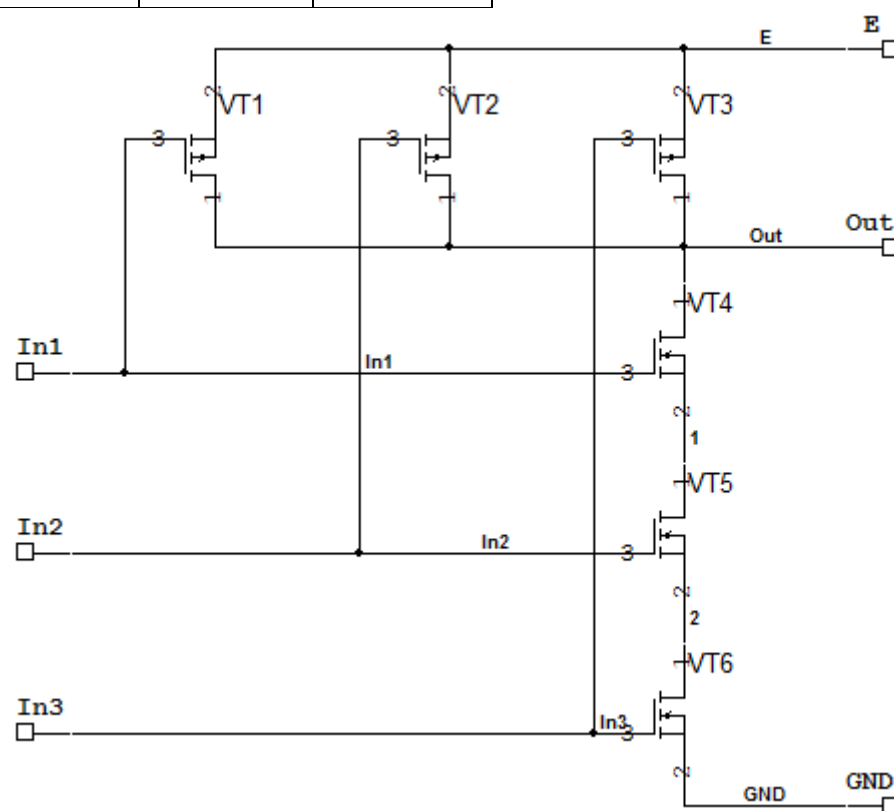


Рисунок 3.13 - Модель принципіальної схеми логічного елемента 3І-НІ на МДН-транзисторах

Логічний елемент ЗАБО представлено на Рисунку 3.14.

Таблиця 3.9. Таблиця дійсності логічного елемента ЗАБО

In1	In2	In3	Out
0	0	0	1
1	0	0	0
0	1	0	0
1	1	0	0
0	0	1	0
1	0	1	0
0	1	1	0
1	1	1	0

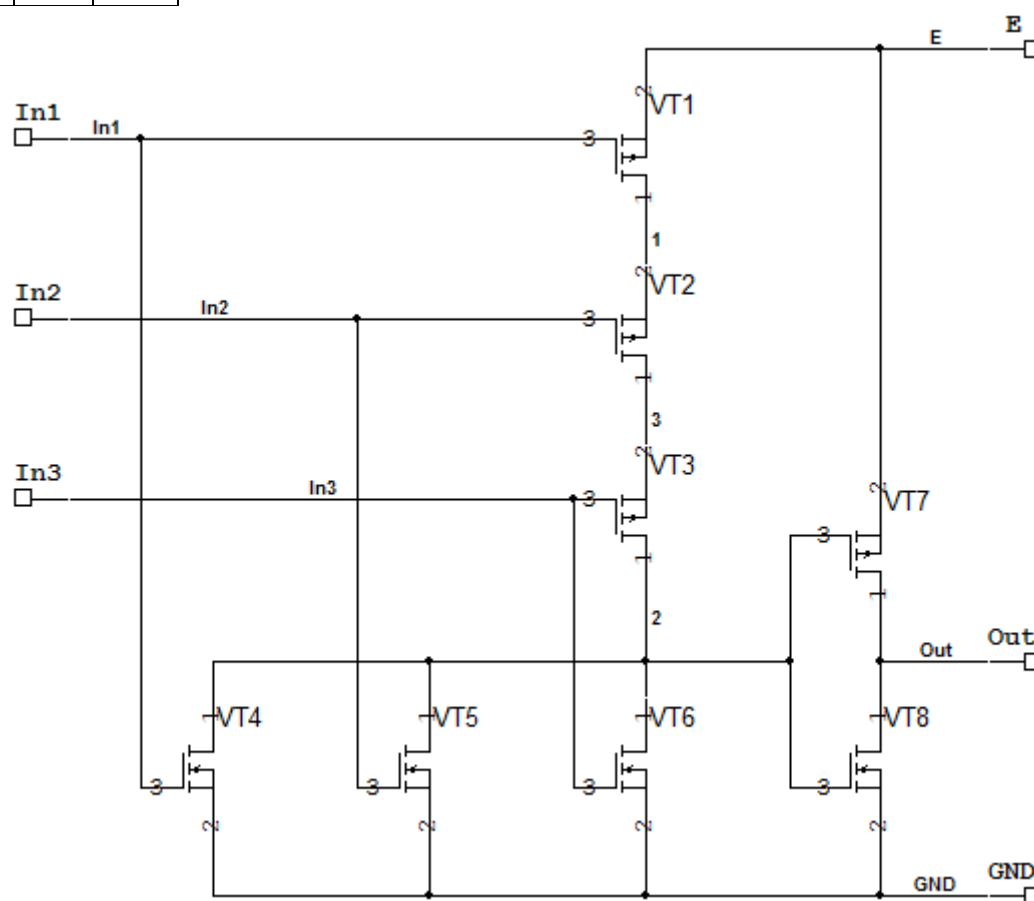


Рисунок 3.14 - Модель принципіальної схеми логічного елемента ЗАБО на МДН-транзисторах

Логічний елемент ЗАБО-НІ представлено на Рисунку 3.15.

Таблиця 3.10. Таблиця дійсності логічного елемента ЗАБО

In1	In2	In3	Out
0	0	0	0
1	0	0	1
0	1	0	1
1	1	0	1
0	0	1	1
1	0	1	1
0	1	1	1
1	1	1	1

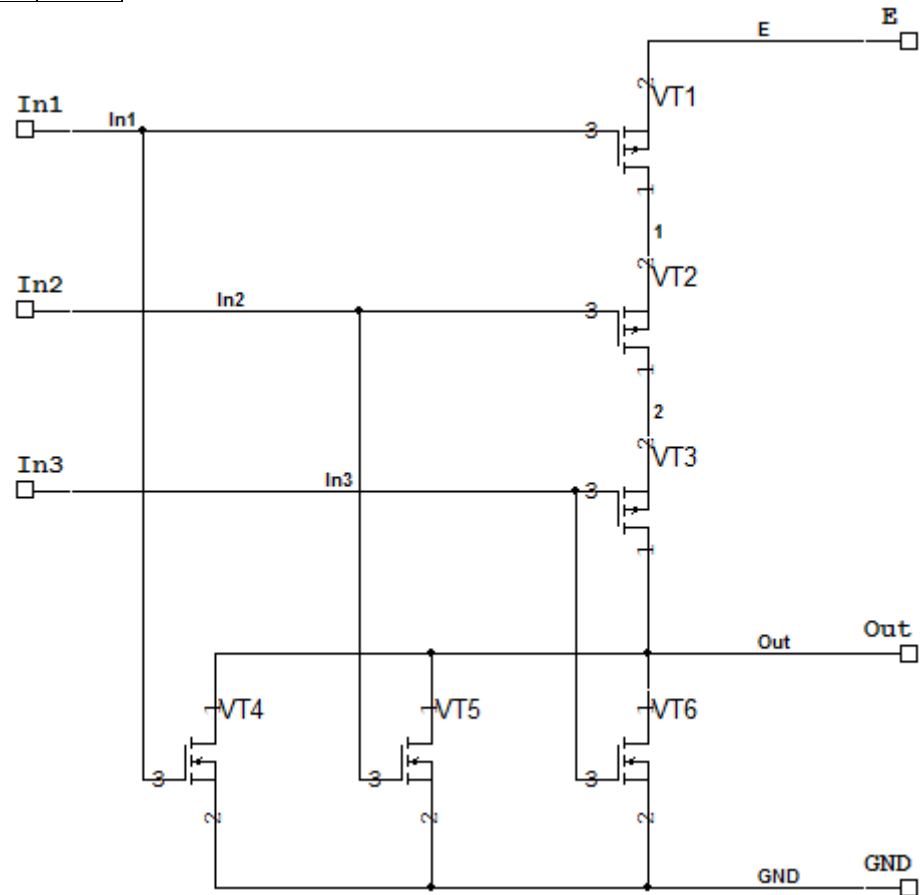


Рисунок 3.15 - Модель принципіальної схеми логічного елемента ЗАБО-НІ на МДН-транзисторах

Мультиплексор (Рис.Б.1) – пристрій, який має декілька сигнальних входів, один або більше керуючих входів та один вихід. Мультиплексор дозволяє передавати сигнал з одного з входів на вихід, при цьому вибір бажаного входу виконується подачею відповідних комбінацій управляючих сигналів [12].

D-тригер (Рис.Б.2) – тригер с одним інформаційним входом, працюючий так, що сигнал на виході після переключення дорівнює сигналу на вході D до переключення. Основне призначення D-тригерів – затримка сигналу поданого на вхід D [12].

### **Висновок до розділу Технологія побудови електричних схем КМОН**

Було розглянуто технологію побудови логічних електронних схем. У технології КМОН використовуються МДН-транзистори з ізольованим затвором з каналами різної провідності – КМОН. Ця технологія має більш великі показники швидкості роботи порівняно з іншими технологіями побудови логічних елементів й менше енергоспоживання.

Було розроблено велику кількість віртуальних схем логічних елементів на технології КМОН.

#### 4 МОДЕЛЮВАННЯ ЕЛЕКТРИЧНОЇ ПРИНЦИПАЛЬНОЇ СХЕМИ ПОБУДОВАНОЇ МЕТОДОМ СКАНУВАННЯ ШЛЯХУ (SCAN PATH)

В основі методу сканування шляху лежить принцип, який можна продемонструвати на прикладі загальної структурної схеми синхронного послідовного цифрового пристрою, схема зображена на рис. 4.1 [24].

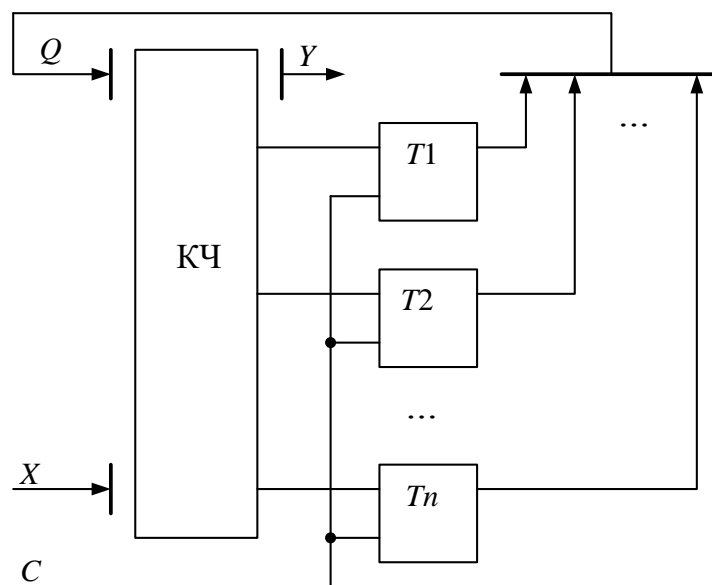


Рисунок 4.1. Загальна структурна схема цифрового пристрою

Схема складається з комбінаційної частини КЧ і послідовної частини (набір тригерів  $T_1, T_2, \dots, T_n$ ).

X - первинні входи;

Y - первинні виходи;

Q - внутрішні змінні;

C - вхід синхронізації.

Наступні стани елементів пам'яті залежать від станів первинних входів і від станів самих елементів пам'яті в поточний момент часу. Ця залежність - джерело всіх проблем при генерації тестів. Жодна з частин схеми



(комбінаційна, послідовна) не керована і не спостерігаєма безпосередньо. Ці частини залежать один від одного при правильному функціонуванні.

Метод сканування шляху дозволяє вирішувати цю проблему шляхом зменшення складності структури схеми. Принцип, що лежить в основі методу, полягає в наступному [24]:

- Елементи пам'яті перевіряються окремо від всієї схеми і в першу чергу;
- КЧ перевіряється в другу чергу з можливістю установки внутрішніх змінних в будь-який стан (незалежно від їх попереднього стану) і спостереження виходів КЧ безпосередньо [24].

#### 4.1 Послідовність тестування

Проводиться побудова мінімального тест для КЧ, з урахуванням того, що зовнішні входи  $X$  і внутрішні змінні  $Q$  будуть безпосередньо керовані, а виходи КЧ безпосередньо спостережувані. КЧ буде мати первинні входи  $XQ$  ( $x_1, x_2, \dots, x_m, Q_1, Q_2, \dots, Q_n$ ).

1. Встановити SP- режим.

Перевірити елементи пам'яті двома стандартними тестами А і В.

Результати тестів побітно виводити на зовнішній сигнатурний аналізатор.

Тест А. У всі елементи пам'яті записується нуль (0), а єдина одиниця (1) послідовно зсувається від  $X_S$  на  $Q_1$  під керуванням  $C$ . Потім аналогічно нуль зсувається на тлі одиниць. Тест дозволяє перевірити здатність кожного тригера приймати значення 0 і 1.

Тест В. Послідовність 00110011... сканується через зсувний регістр, вона дозволяє перевірити всі комбінації переходів попередніх і наступних станів кожного елемента пам'яті.

2. Кожний тестовий вектор подавати на вхід КЧ наступним чином:

а) Встановити SP режим. В елементи пам'яті записати частина тестового вектора, відповідного входам Q, і встановити ззовні частина тестового вектора X.

б) Встановити F режим. Стан виходів КЧ записати в елементи пам'яті під управлінням С.

в) Встановити SP режим і за допомогою С вивести вміст елементів пам'яті через вихід сканованих даних Q1 на зовнішній сигнатурний аналізатор.

Таким чином, побудова тесту зводиться до генерації тесту для КЧ і формування вхідних керуючої послідовності.

Перевага методу сканування шляху - відносно невеликі апаратурні витрати.

Недолік методу сканування шляху - великий час установки елементів пам'яті в потрібні стани [24].

#### **4.2 Побудова перевірного тесту для комбінаційної частини схеми та тестової мікропрограми**

Необхідно побудувати по можливості повний мінімальний тест, який перевіряє ОКН комбінаційної частини схеми, що реалізує функції збудження тригерів. З огляду на, що зовнішні входи X і внутрішні змінні Q будуть безпосередньо керовані, а виходи КЧ схеми безпосередньо спостережувані, т. е. КЧ схеми буде мати первинні входи X і Q ( $x_1, x_2, Q_1, Q_2$ ).

Побудова мінімального тесту здійснюється або D-алгоритмом, або K-алгоритмом, або по таблиці несправностей. Використовуючи отримані кубічні покриття  $C_0$  і  $C_1$  для КЧ схеми, що реалізує функції збудження тригерів D1 і D2, переходимо до їх D-покриттям. Виконавши перехід від D-векторів до двійковим набором, формуємо спільний для КЧ схеми мінімальний діагностичний тест  $T = T_1 \cup T_2$ .

D – покриття й двойкові набори для логічної функції D1

$x_1$	$x_2$	$Q_1$	$Q_2$	$D_1$
X	X	D	1	$\overline{D}$
1	X	0	D	D
0	X	D	X	$\overline{D}$
D	X	0	0	$\overline{D}$

$x_1$	$x_2$	$Q_1$	$Q_2$	$D_1$			
X	X	0	1	1	1001	$t_9$	1X011
X	X	1	1	0	0011	$t_3$	0X110
1	X	0	0	0	1000	$t_8$	1X000
1	X	0	1	1	1001	$t_9$	1X011
0	X	0	X	1	0000	$t_0$	0X001
0	X	1	X	0	0011	$t_3$	0X110
0	X	0	0	1	0000	$t_0$	0X001
1	X	0	0	0	1000	$t_8$	1X000

Отримуємо мінімальний тест  $T1 = \{t_0, t_3, t_8, t_9\}$  для функції збудження тригера D1. D – покриття й двійкові набори для логічної функції D1

$x_1$	$x_2$	$Q_1$	$Q_2$	$D_1$
1	X	D	0	$\overline{D}$
D	0	0	0	D
1	0	0	D	$\overline{D}$
X	1	D	X	$\overline{D}$
0	D	0	X	D
X	D	0	1	D

$x_1$	$x_2$	$Q_1$	$Q_2$	$D_1$			
1	X	0	0	1	1000	$t_8$	10001
1	X	1	0	0	1110	$t_{14}$	11100
0	0	0	0	0	0000	$t_0$	00000
1	0	0	0	1	1000	$t_8$	10001
1	0	0	0	1	1000	$t_8$	10001
1	0	0	1	0	1001	$t_9$	10010
X	1	0	X	1	0101	$t_5$	01011
X	1	1	X	0	1110	$t_{14}$	11100
0	0	0	X	0	0000	$t_5$	00000
0	1	0	X	1	0101	$t_5$	01011
X	0	0	1	0	1001	$t_9$	10010
X	1	0	1	1	0101	$t_5$	01011

Для функції збудження тригера D2 отримуємо мінімальний тест  $T2 = \{t_0, t_5, t_8, t_9, t_{14}\}$ .

Повний мінімальний тест для комбінаційної частини схеми

$T = T1 \cup T2 = \{t_0, t_3, t_5, t_8, t_9, t_{14}\}$  має вигляд, представлений в таблиці

5.1.

Таблиця 4.1 – Повний мінімальний тест для комбінаційної частини схеми

x1	x2	Q1	Q2
0	0	0	0
0	0	1	1
0	1	0	1
1	0	0	0
1	0	0	1
1	1	1	0

В таблиці 4.2 приведена тестова мікропрограма. Е – передній фронт (0/1). Сірим кольором виділені фрагменти повного мінімального теста для КС.

Тестова мікропрограма – послідовність мікрокоманд управління режимом тестування й аналізу результатів тестування.

Таблица 4.2 - Тестовая микропрограмма.

Комментарии к режимам		Тестовые микрокоманды						Выходы триггеров	
		<i>R</i>	<i>C</i>	<i>V</i>	<i>X<sub>S</sub></i>	<i>x<sub>1</sub></i>	<i>x<sub>2</sub></i>	<i>Q<sub>1</sub></i>	<i>Q<sub>2</sub></i>
Начальная установка триггеров	120/130	1	<i>E</i>	<i>x</i>	<i>x</i>	<i>x</i>	<i>x</i>	0	0
<i>SP</i> Тест <i>A</i> (бегущая 1)	0 <i>C</i> /1 <i>C</i>	0	<i>E</i>	1	1	<i>x</i>	<i>x</i>	0	1
	08/18	0	<i>E</i>	1	0	<i>x</i>	<i>x</i>	1	0
	08/18	0	<i>E</i>	1	0	<i>x</i>	<i>x</i>	0	0
<i>SP</i> Тест <i>A</i> (бегущий 0)	0 <i>C</i> /1 <i>C</i>	0	<i>E</i>	1	1	<i>x</i>	<i>x</i>	0	1
	0 <i>C</i> /1 <i>C</i>	0	<i>E</i>	1	1	<i>x</i>	<i>x</i>	1	1
	08/18	0	<i>E</i>	1	0	<i>x</i>	<i>x</i>	1	0
	0 <i>C</i> /1 <i>C</i>	0	<i>E</i>	1	1	<i>x</i>	<i>x</i>	0	1
	0 <i>C</i> /1 <i>C</i>	0	<i>E</i>	1	1	<i>x</i>	<i>x</i>	1	1
<i>SP</i> Тест <i>B</i> (бегущие пары 001100)	08/18	0	<i>E</i>	1	0	<i>x</i>	<i>x</i>	1	0
	08/18	0	<i>E</i>	1	0	<i>x</i>	<i>x</i>	0	0
	0 <i>C</i> /1 <i>C</i>	0	<i>E</i>	1	1	<i>x</i>	<i>x</i>	0	1
	0 <i>C</i> /1 <i>C</i>	0	<i>E</i>	1	1	<i>x</i>	<i>x</i>	1	1
	08/18	0	<i>E</i>	1	0	<i>x</i>	<i>x</i>	1	0
	08/18	0	<i>E</i>	1	0	<i>x</i>	<i>x</i>	0	0
<i>SP</i> Сдвиг последних битов теста <i>B</i> и запись части <i>Q</i> ( <i>Q<sub>1</sub>Q<sub>2</sub></i> =00) тестового вектора 1	08/18	0	<i>E</i>	1	0	<i>x</i>	<i>x</i>	0	0
	08/18	0	<i>E</i>	1	0	<i>x</i>	<i>x</i>	0	0
<i>F</i> Подача вектора 1 ( <i>x<sub>1</sub>x<sub>2</sub>Q<sub>1</sub>Q<sub>2</sub></i> =0000) на входы КС	00/10	0	<i>E</i>	0	<i>x</i>	0	0	1	0
<i>SP</i> Сдвиг отклика на вектор 1 ( <i>Q<sub>1</sub>Q<sub>2</sub></i> ) и запись части <i>Q</i> ( <i>Q<sub>1</sub>Q<sub>2</sub></i> =11) тестового вектора 2	0 <i>C</i> /1 <i>C</i>	0	<i>E</i>	1	1	<i>x</i>	<i>x</i>	0	1
	0 <i>C</i> /1 <i>C</i>	0	<i>E</i>	1	1	<i>x</i>	<i>x</i>	1	1
<i>F</i> Подача вектора 2 ( <i>x<sub>1</sub>x<sub>2</sub>Q<sub>1</sub>Q<sub>2</sub></i> =0011) на входы КС	00/10	0	<i>E</i>	0	<i>x</i>	0	0	0	0
<i>SP</i> Сдвиг отклика на вектор 2 ( <i>Q<sub>1</sub>Q<sub>2</sub></i> ) и запись части <i>Q</i> ( <i>Q<sub>1</sub>Q<sub>2</sub></i> =01) тестового вектора 3	08/18	0	<i>E</i>	1	0	<i>x</i>	<i>x</i>	0	0
	0 <i>C</i> /1 <i>C</i>	0	<i>E</i>	1	1	<i>x</i>	<i>x</i>	0	1
<i>F</i> Подача вектора 3 ( <i>x<sub>1</sub>x<sub>2</sub>Q<sub>1</sub>Q<sub>2</sub></i> =0101) на входы КС	01/11	0	<i>E</i>	0	<i>x</i>	0	1	1	1
<i>SP</i> Сдвиг отклика на вектор 3 ( <i>Q<sub>1</sub>Q<sub>2</sub></i> ) и запись части <i>Q</i> ( <i>Q<sub>1</sub>Q<sub>2</sub></i> =00) тестового вектора 4	08/18	0	<i>E</i>	1	0	<i>x</i>	<i>x</i>	1	0
	08/18	0	<i>E</i>	1	0	<i>x</i>	<i>x</i>	0	0
<i>F</i> Подача вектора 4 ( <i>x<sub>1</sub>x<sub>2</sub>Q<sub>1</sub>Q<sub>2</sub></i> =1000) на входы КС	02/12	0	<i>E</i>	0	<i>x</i>	1	0	0	1
<i>SP</i> Сдвиг отклика на вектор 4 ( <i>Q<sub>1</sub>Q<sub>2</sub></i> ) и запись части <i>Q</i> ( <i>Q<sub>1</sub>Q<sub>2</sub></i> =01) тестового вектора 5	08/18	0	<i>E</i>	1	0	<i>x</i>	<i>x</i>	1	0
	0 <i>C</i> /1 <i>C</i>	0	<i>E</i>	1	1	<i>x</i>	<i>x</i>	0	1
<i>F</i> Подача вектора 5 ( <i>x<sub>1</sub>x<sub>2</sub>Q<sub>1</sub>Q<sub>2</sub></i> =1001) на входы КС	02/12	0	<i>E</i>	0	<i>x</i>	1	0	1	0
<i>SP</i> Сдвиг отклика на вектор 5 ( <i>Q<sub>1</sub>Q<sub>2</sub></i> ) и запись части <i>Q</i> ( <i>Q<sub>1</sub>Q<sub>2</sub></i> =10) тестового вектора 6	0 <i>C</i> /1 <i>C</i>	0	<i>E</i>	1	1	<i>x</i>	<i>x</i>	0	1
	08/18	0	<i>E</i>	1	0	<i>x</i>	<i>x</i>	1	0
<i>F</i> Подача вектора 6 ( <i>x<sub>1</sub>x<sub>2</sub>Q<sub>1</sub>Q<sub>2</sub></i> =1110) на входы КС	03/13	0	<i>E</i>	0	<i>x</i>	1	1	0	0
<i>SP</i> Сдвиг отклика на вектор 6	08/18	0	<i>E</i>	1	0	0	0	0	0
Вывод сигнатуры на индикаторы	100	0	0	<i>x</i>	<i>x</i>	<i>x</i>	<i>x</i>	·	·

### 4.3 Моделювання несправностей

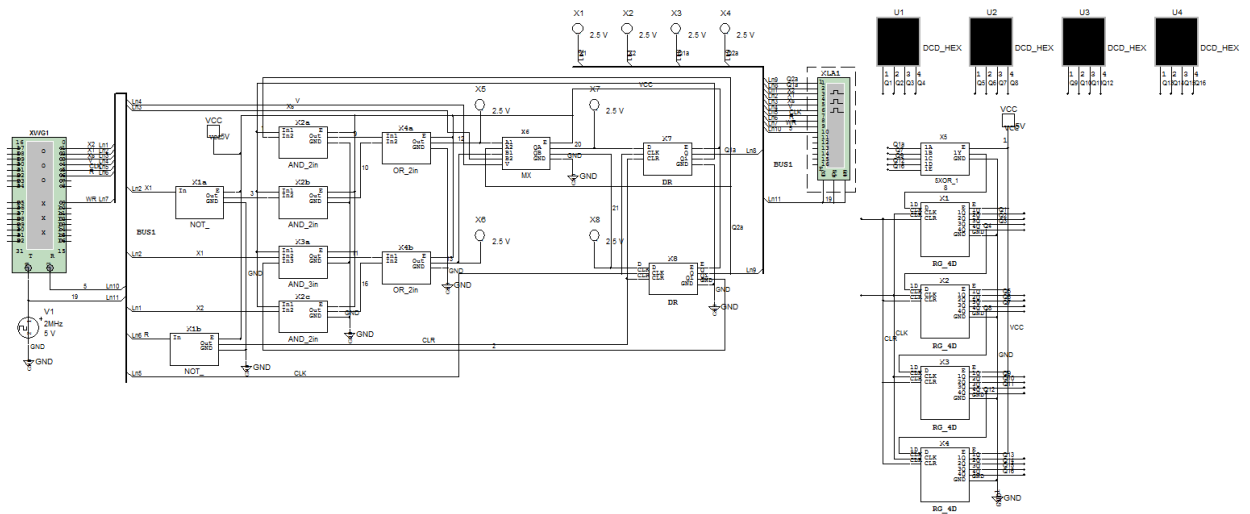


Рисунок 4.2 – Початкова схема

Таблиця 4.3 – Результати моделювання несправностей

№ тесту	Сигнатура	Несправність
1	9567	Без несправності (Рис.4.2)
2	C736	Обрив десятої лінії зв'язку (Рис.4.4)
3	D537	Константа нуля на шістнадцятій лінії зв'язку (Рис.4.6)
4	38A5	Константа одиниці на другій лінії зв'язку (Рис.4.8)
5	83BF	Вихід з ладу двох елементів 2I(Рис.4.10)
6	2EAD	Режим замикання транзистора VT 9, у елементі 2I x2a (Рис.4.12)
7	4280	Режим холостого ходу транзистора VT9 у елементі 2I x2a (Рис.4.14)

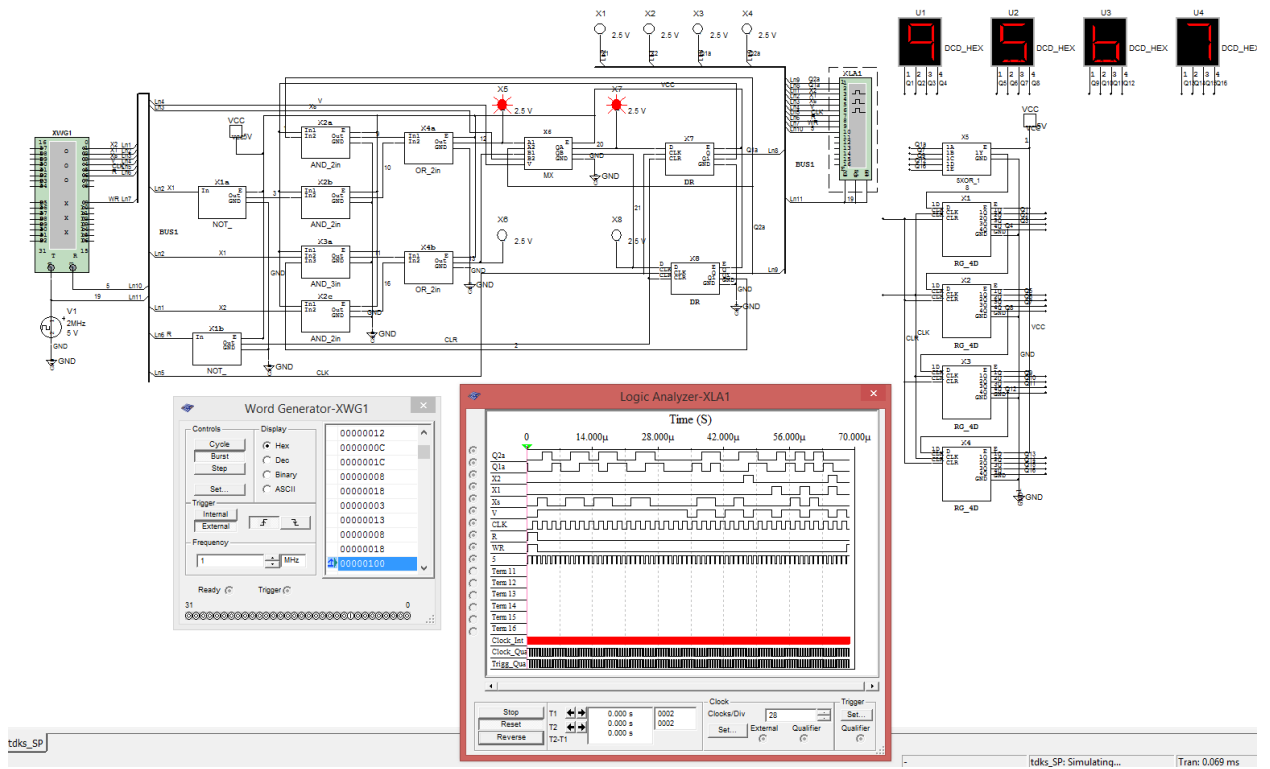


Рисунок 4.3 – Результат тесту №1

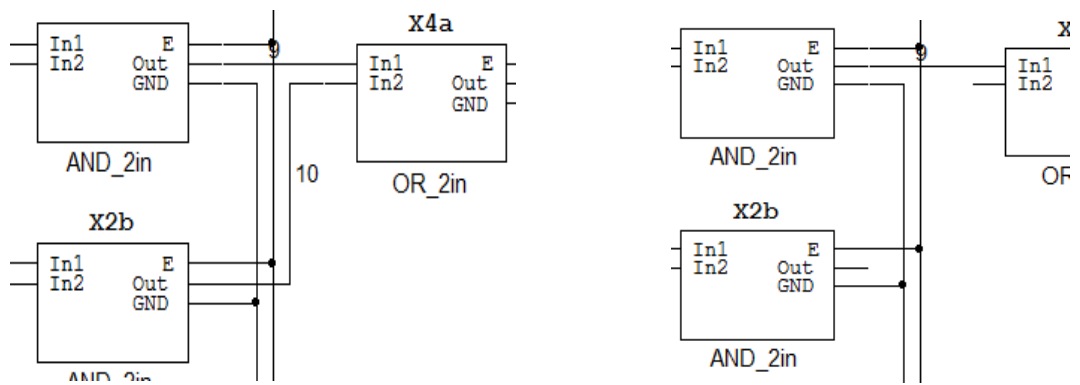


Рисунок 4.4 – Несправність: обрив десятої лінії зв'язку

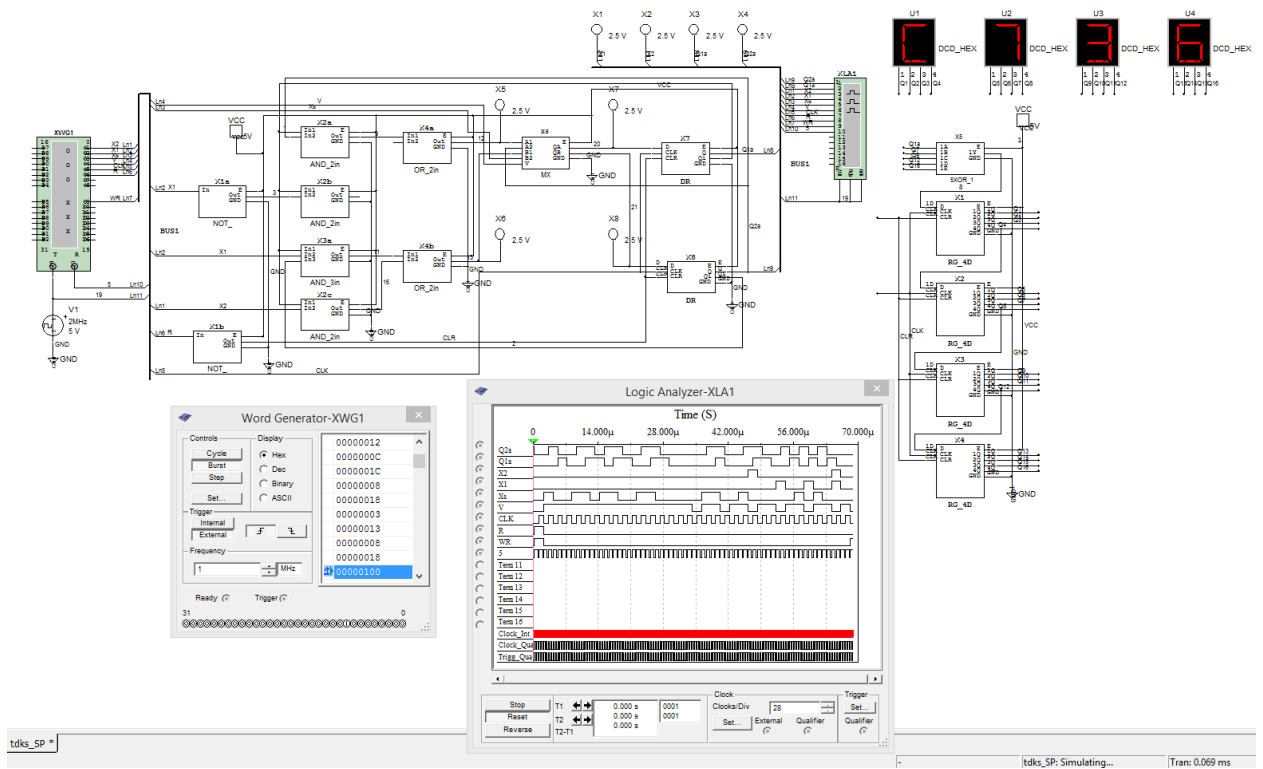


Рисунок 4.5 – Результат тесту №2

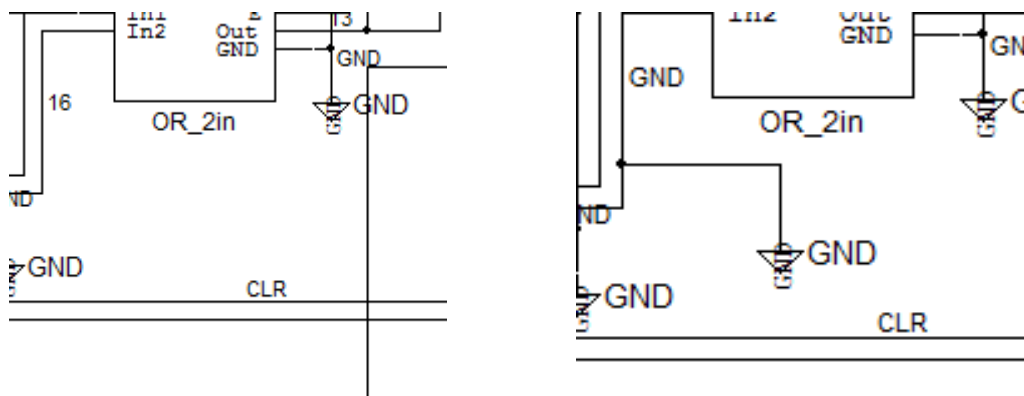


Рисунок 4.6 – Несправність: константа нуля на шістнадцятій лінії зв'язку



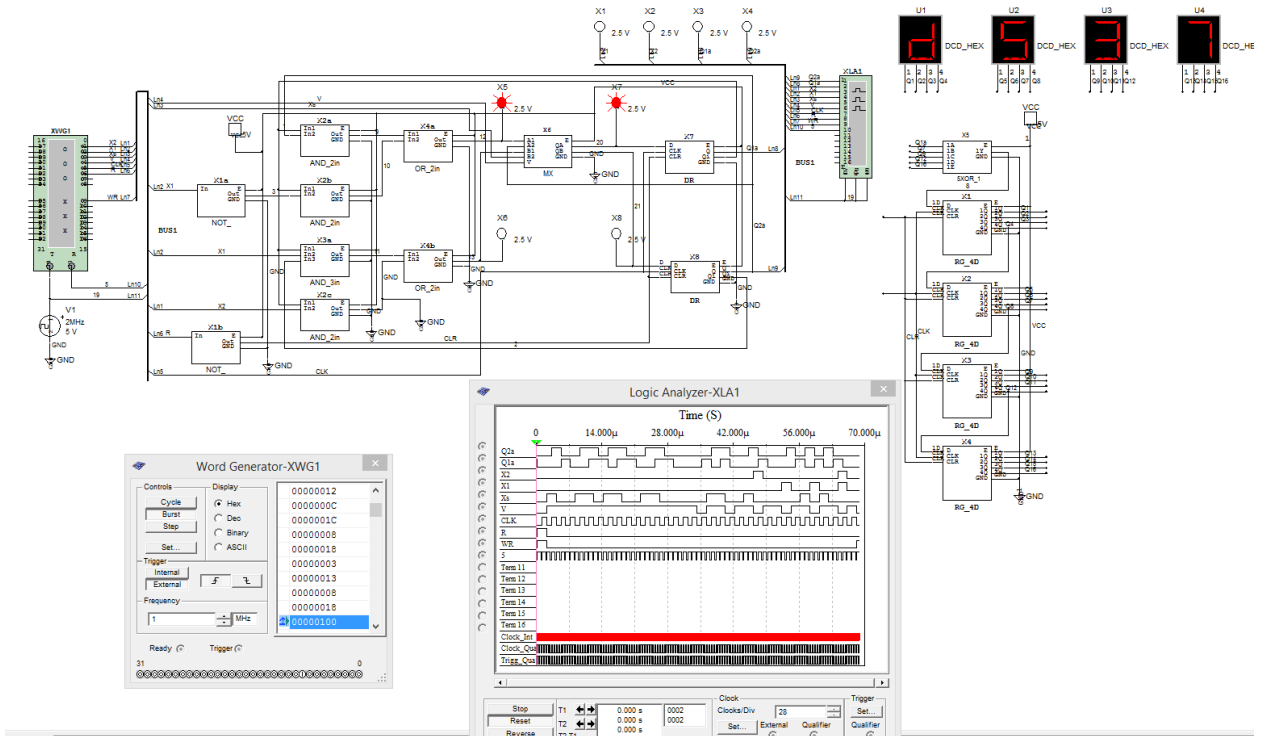


Рисунок 4.7 – Результат тесту №3

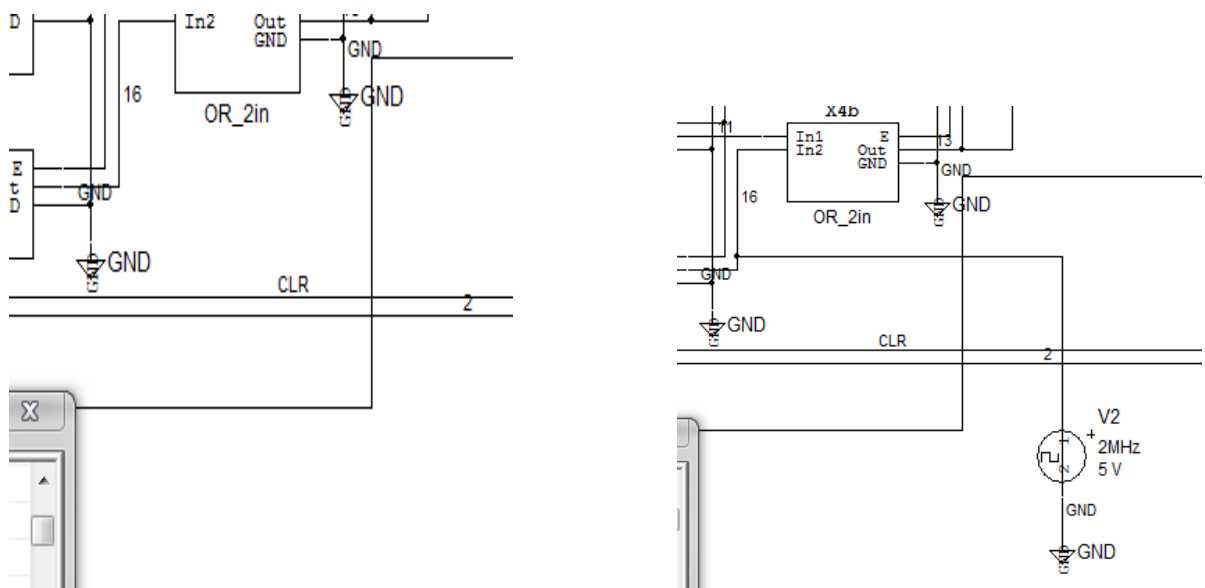


Рисунок 4.8 – Несправність: константа одиниці на шістнадцятій лінії зв'язку

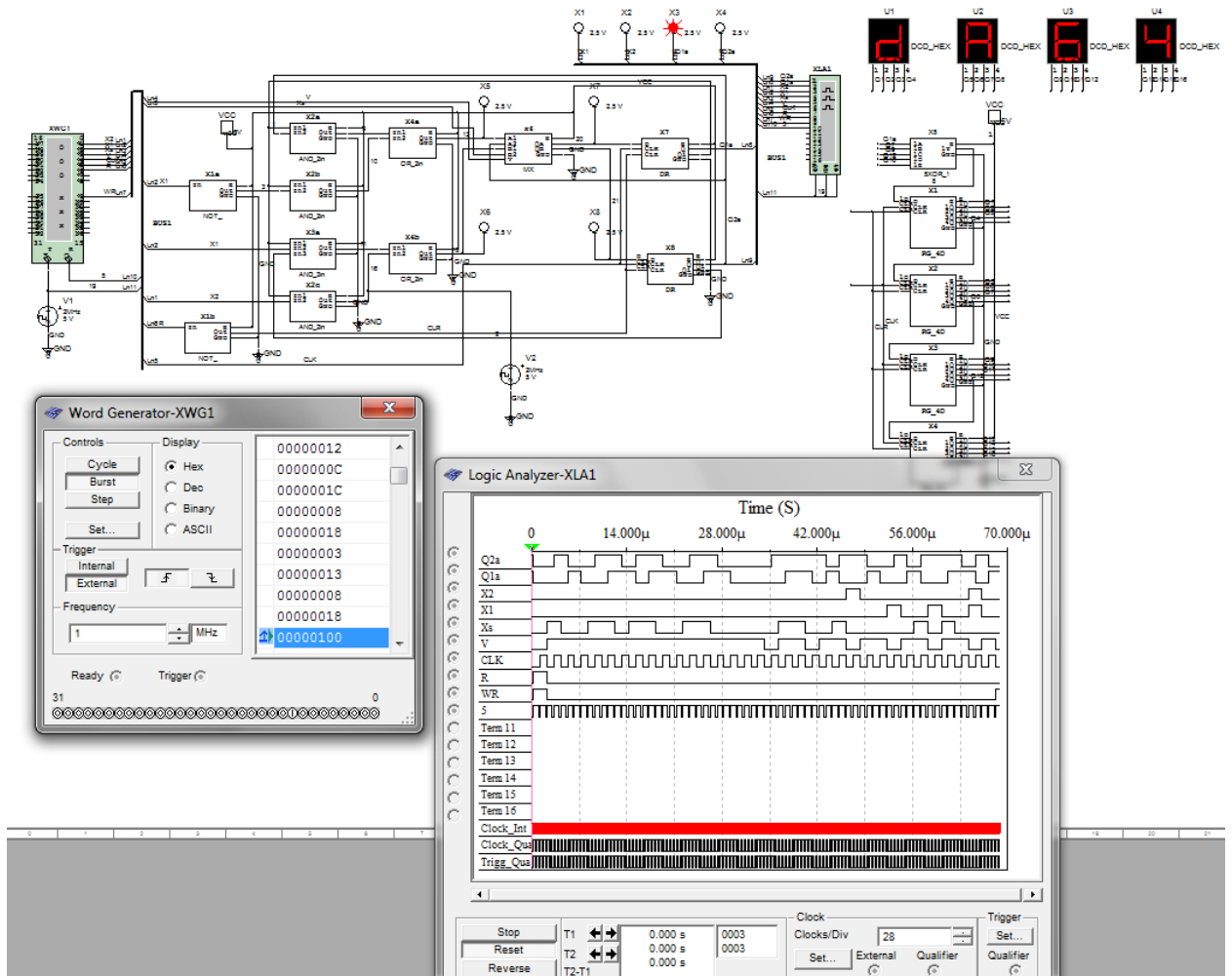


Рисунок 4.9 – Результат тесту №4

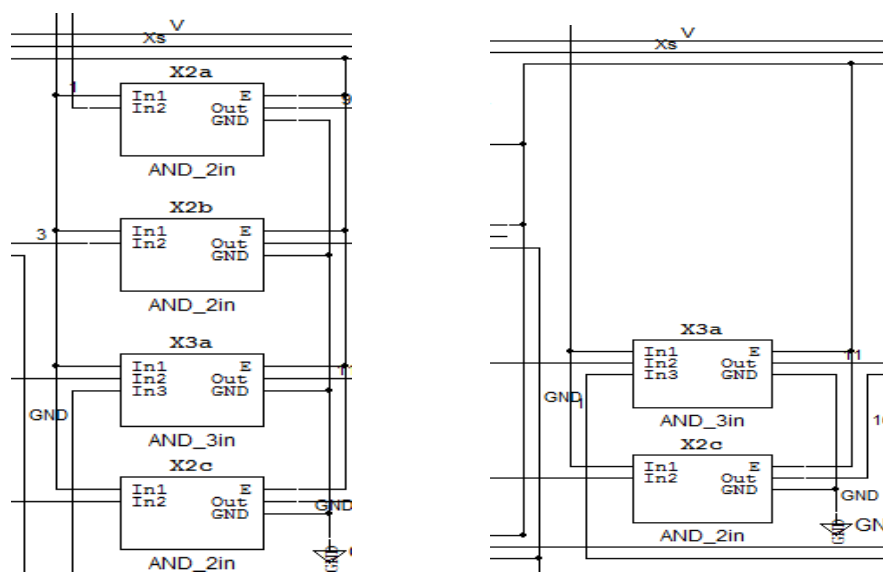


Рисунок 4.10 – Несправність: відсутність двох елементів 2І

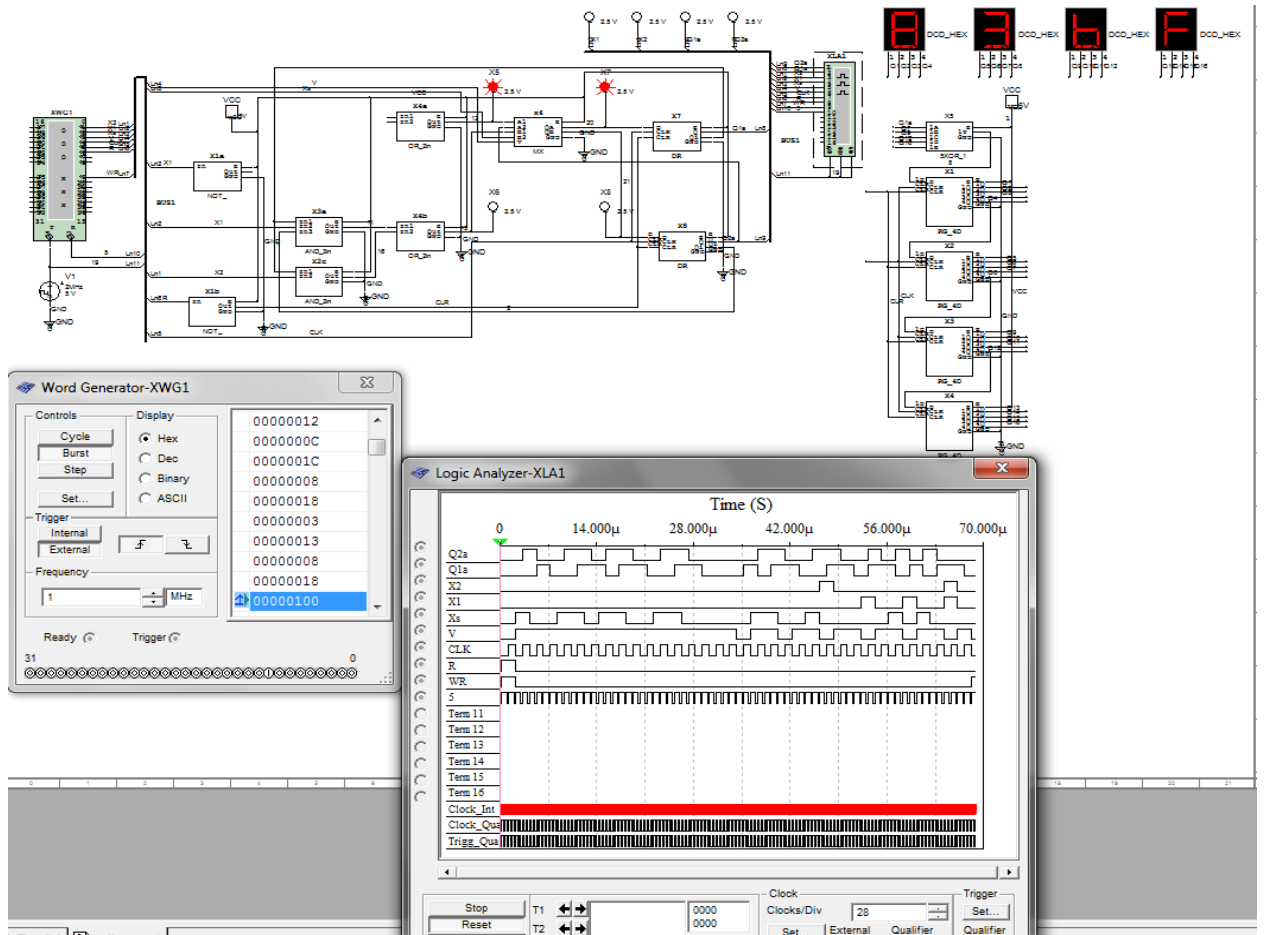


Рисунок 4.11 – Результат тесту №5

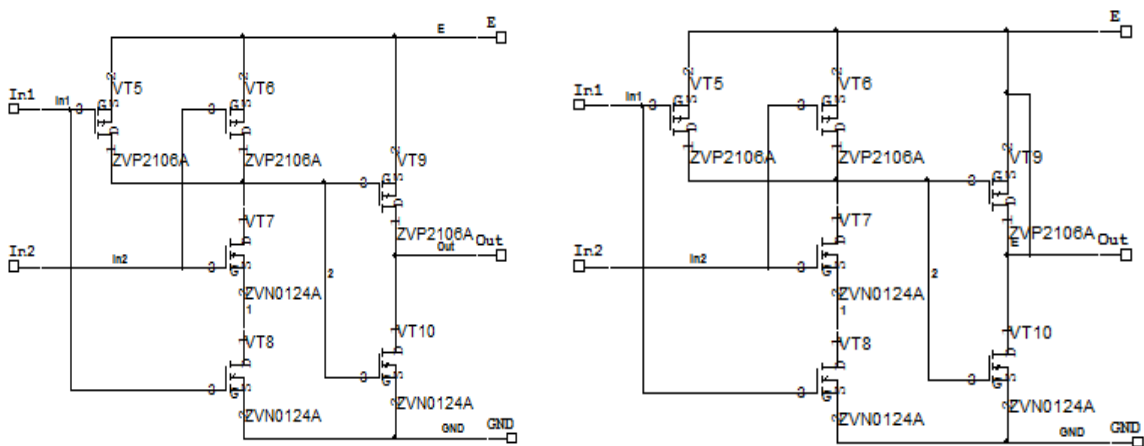


Рисунок 4.12 – Несправність: режим замикання на транзисторі VT 9, у елементі 2I x2a

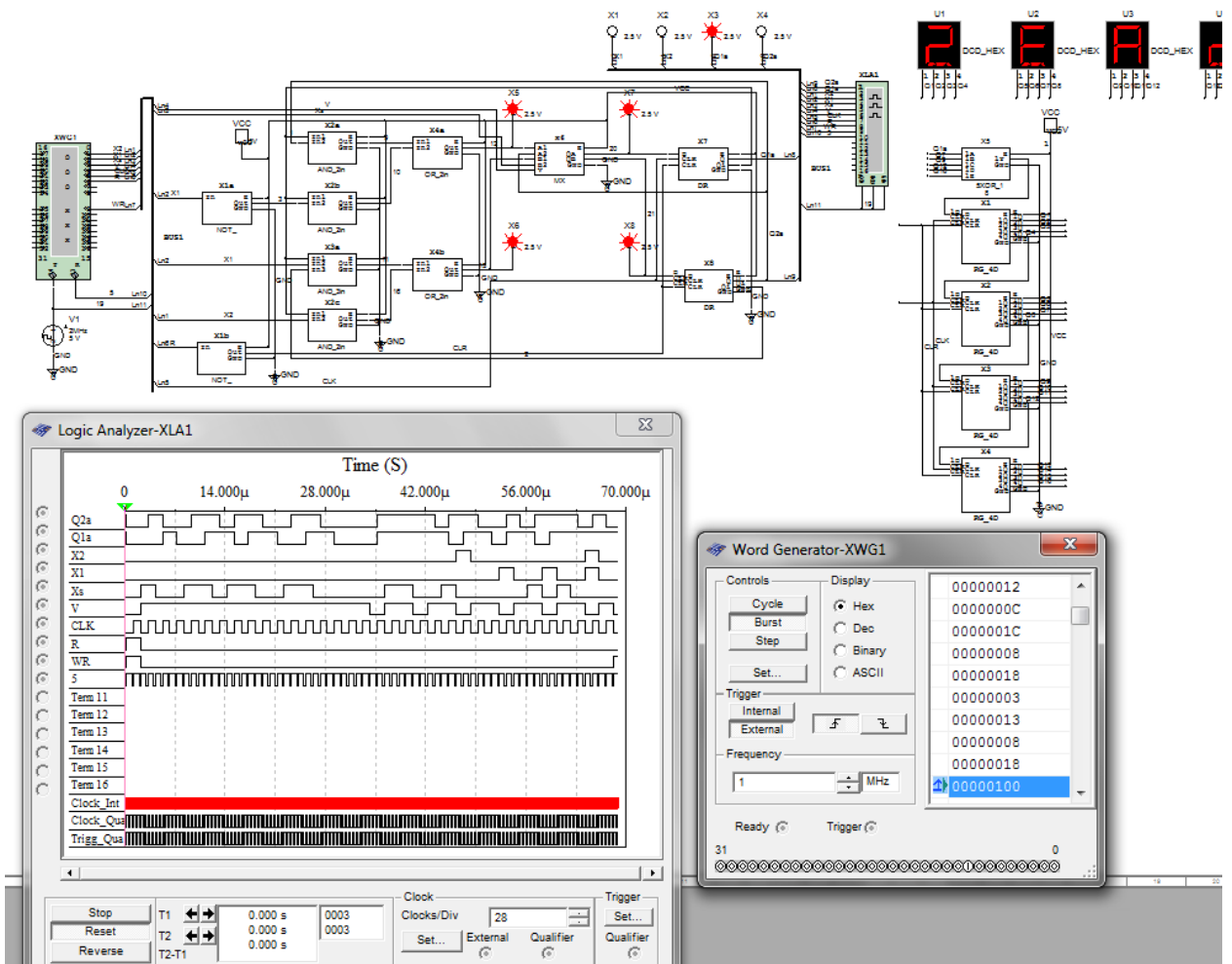


Рисунок 4.13 – Результат тесту №6

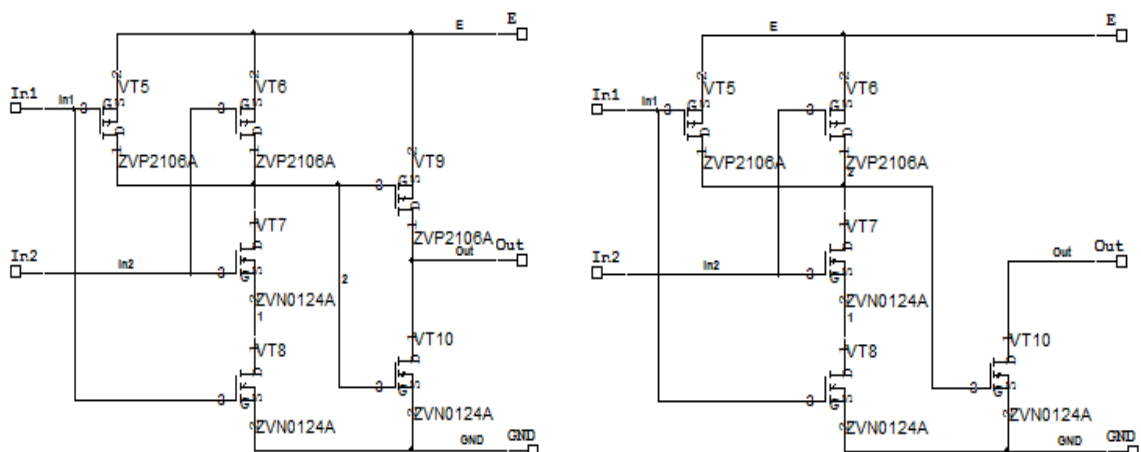


Рисунок 4.14 – Несправність: режим холостого ходу VT9 у елементі 2I  
x2a

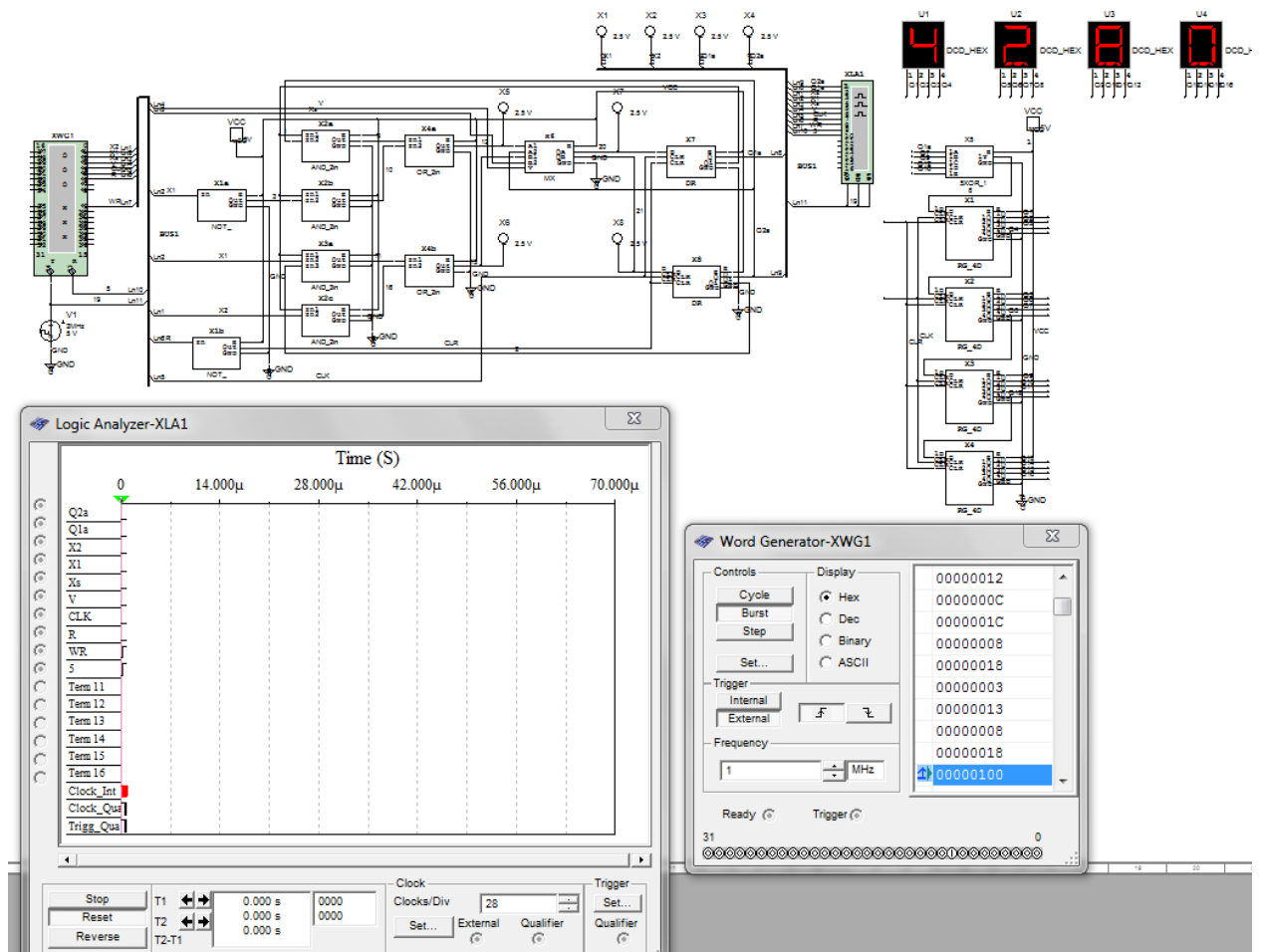


Рисунок 4.15 – Результат роботи тесту №7

### Висновок до розділу Моднювання електричної-функціональної схеми методом сканування шляху (Scan Path)

При моделюванні несправностей віртуальна схема поводила себе адекватно реальній схемі. Під час моделювання несправностей вихідна сигнатура змінювалась залежно від того які несправності були введені.

При моделюванні віртуальної логічної схеми є можливість побачити лише три типи несправностей, константа типу нуль, константа типу одиниця й обрив лінії зв'язку. В той час як моделювання моделі функціональної

принципiальної схеми є можливість промоделювати ще й такі типи несправностей як вихід з ладу транзистора всередині елементів схеми, замикання транзисторів, повний вихід з ладу елемента (режим холостого ходу).

Це дає більш детальну інформацію про те як буде поводити себе схема при різних несправностях.

## 5 ОХОРОНА ПРАЦІ ТА БЕЗПЕКА В НАДЗВИЧАЙНИХ СИТУАЦІЯХ

В даному розділі проведено аналіз потенційних небезпечних та шкідливих виробничих факторів, причин пожеж. Розглянуті заходи, які дозволяють забезпечити гігієну праці і виробничу санітарію.

Завданням даного проекту бакалавра була розробка лабораторного стенду дисципліни ТДКС: схемотехніка вузлів для тестопридатного проектування. Так як процес розробки виконувався у домашніх умовах, то аналіз потенційно небезпечних і шкідливих виробничих чинників виконується для приміщення, де проводились роботи над дипломним проектом

### 5.1 Вимоги до приміщень

Геометричні розміри приміщення приведені в табл. 5.1.

Таблиця 5.1 – Розміри приміщення

Найменування	Значення
Довжина, м	4
Ширина, м	5
Висота, м	2.5
Площа, м	20
Об'єм, м	50

Згідно з [27] розмір площі для одного робочого місця оператора персонального комп'ютера має бути не менше 6 кв. м, а об'єм — не менше 20 куб. м. Отже, дане приміщення цілком відповідає зазначеним нормам.

Робочий процес пов'язаний з багатьма документами, теками, журналами для чого приміщення облаштоване принтером і шафою для зручності.

Для забезпечення потрібного рівного освітленості кімната має вікно та систему загального рівномірного освітлення, що встановлена на стелі. Для

дотримання вимог пожежної безпеки встановлено порошковий вогнегасник та систему автоматичної пожежної сигналізації.

### 5.1.2 Вимоги до організації місця праці

При порівнянні відповідності характеристик робочого місця нормативним основні вимоги до організації робочого місця за [26] (табл. 5.2) і відповідними фактичними значеннями для робочого місця, констатуємо повну відповідність.

Таблиця 5.2 – Характеристики робочого місця

Найменування параметра	Фактичне значення	Нормативне значення
Висота робочої поверхні, мм	720	680 - 800
Висота простору для ніг, мм	650	Не менше 600
Ширина простору для ніг, мм	700	Не менше 500
Глибина простору для ніг, мм	670	Не менше 650
Висота поверхні сидіння, мм	410	400-500
Ширина сидіння, мм	520	Не менше 400
Глибина сидіння, мм	420	Не менше 400
Висота поверхні спинки, мм	850	Не менше 300

Робочий стіл містить достатньо простору для ніг. Крісло, що використовується в якості робочого сидіння, є підйомно поворотним, має підлікотники й можливість регулювати висоту, м'яке й виконане з шкіри, що дає можливість працювати у комфорті. Дисплей знаходиться на відстані 0.7 м, клавіатура має можливість регулювати кут нахилу від 0 до 15 градусів. За всіма параметрами робоче місце відповідає нормативним вимогам. Робоче приміщення знаходиться на дев'ятому поверсі дев'яти поверхового будинку і має об'єм 50 метрів кубічних, площу – 18 метрів квадратних. У цьому кабінеті обладнано одне місце праці укомплектоване ПК.



## 5.2 Виробнича санітарія

На підставі аналізу небезпечних та шкідливих факторів при виробництві (експлуатації), пожежної безпеки можуть бути надалі вирішені питання необхідності забезпечення працюючих достатньою кількістю освітлення, вентиляції повітря, організації заземлення, тощо.

### 5.2.1 Аналіз небезпечних та шкідливих факторів при проведенні дослідження

Роботу, пов'язану з ЕОМ. Переважно роботи за проектами виконують у кабінетах чи інших приміщеннях, де використовують різноманітне електрообладнання, зокрема персональні комп'ютери (ПК) та периферійні пристрої. Основними робочими характеристиками персонального комп'ютера є:

- робоча напруга  $U=+220\text{В} \pm 5\%$ ;
- робочий струм  $I=2\text{А}$ ;
- споживана потужність  $P=600\text{ Вт}$ .

Робочі місця мають відповідати вимогам Державних санітарних правил і норм роботи з візуальними дисплейними терміналами електронно-обчислювальних машин, затверджених постановою Головного державного санітарного лікаря України від 10.12.98 N 7[28].

За умов роботи з ПК виникають наступні небезпечні та шкідливі чинники: освітлення, електромагнітні випромінювання, забруднення повітря шкідливими речовинами (джерелом, яких можуть бути: принтер, сканер та інші джерела виділення багатьох хімічних речовин - напр., озону, оксидів азоту та аерозолів високодисперсних частинок тонера), шум, вібрація,

електричний струм, електростатичне поле, напруженість трудового процесу та інше.

Таблиця 5.3 – Аналіз небезпечних і шкідливих виробничих факторів

Небезпечні і шкідливі виробничі фактори	Джерела факторів (види робіт)	Кількісна оцінка	Нормативні документи
1	2	3	4
<b>фізичні</b>			
Підвищена температура поверхонь обладнання	Експлуатація ПК, принтеру	2	[27]
Підвищений рівень шуму на робочому місці		2	[32]
Підвищена або знижена рухливість повітря		1	[27]
Недостатність природного світла	Порушення умов праці (вимог до приміщень)	2	[35]
Недостатнє освітлення робочої зони	Порушення гігієнічних параметрів виробничого середовища	3	[35]
Підвищена яскравість світла	Порушення умов праці (організації місця праці- налагодження моніторів)	1	[28]
<b>психофізичні</b>			
нервово-психічна перевантаження	- пошук інформації для постановки теми; - пошук та аналіз аналогів і літератури; - виконання роботи за темою диплома, тестування; - оформлення роботи	4	[30] [28]
фізичні (статичне – сидіння)	Порушення умов праці (організації місця праці- сидіння користувача, ) та організації робочого часу – безпервна робота)	2	[30] [28]

Робочі місця мають відповідати вимогам Державних санітарних правил і норм роботи з візуальними дисплейними терміналами електронно-обчислювальних машин, затверджених постановою Головного державного санітарного лікаря України від 10.12.98 N 7 [28]. За умов роботи з ПК виникають приведені у таблиці 5.3 небезпечні та шкідливі чинники:

### 5.2.2 Пожежна безпека

Пожежі в робочому приміщенні становлять небезпеку, тому що пов'язані як з матеріальними втратами, так і з відмовою засобів обчислювальної техніки.

Пожежа може виникати при внесенні джерела запалювання в горючу середу. Горючими матеріалами в приміщенні, де розташовані обчислювальні засоби є будівельні матеріали, віконні рами, двері, підлоги, меблі, ізоляція силових і сигнальних кабелів, радіотехнічні деталі, конструктивні елементи з пластичних матеріалів, рідини для очищення елементів і вузлів ЕОМ від забруднень:

- 1) поліамід – матеріал корпусу мікросхем, горюча речовина, температура самозаймання 420 °С,
- 2) полівінілхлорид – ізоляційний матеріал, горюча речовина, температура запалювання 335 °С, температура самозаймання 530 °С,
- 3) стеклотекстоліт ДЦ – матеріал друкарських плат, важкогорючий матеріал, показник горючості 1.74, не схильний до температурного самозаймання,
- 4) пластикат кабельний №.489 – матеріал ізоляції кабелів, горючий матеріал, показник горючості більше 2.1,

5) деревина – будівельний і обробний матеріал, з якого виготовлені меблі, горючий матеріал, показник горючості більше 2.1, температура запалювання 255 °С, температура самозаймання 399 °С.

Згідно НАПБ Б. 03.002-2007 таке приміщення відноситься до категорії "В" (пожежонебезпечної).

Пожежа може виникнути в результаті утворення джерела запалювання (іскри і дуги короткого замикання, порушення ізоляції, що приводить до короткого замикання, перегріву радіодеталей внаслідок тривалого перевантаження) і внесення його в горючу середу.

При повному згорянні органічних сполук утворюється ( $\text{CO}_2$ ,  $\text{SO}_2$ ,  $\text{H}_2\text{O}$ ,  $\text{N}_2$ ), а при згорянні неорганічних сполук - оксиди. Залежно від температури плавлення продукції, реакції диму можуть знаходитися у вигляді розплаву ( $\text{Al}_2\text{O}_3$ ,  $\text{TiO}_2$ ), або підніматися в повітря у вигляді диму ( $\text{P}_2\text{O}_5$ ,  $\text{Na}_2\text{O}$ ,  $\text{MgO}$ ). Розплавлені тверді частинки створюють світність полум'я. Склад продуктів неповного згорання горючих речовин складний і різноманітний. Це можуть бути горючі речовини -  $\text{H}_2$ ,  $\text{CO}$ ,  $\text{CH}_4$  та інші; атомарний водень і кисень; різні радикали -  $\text{OH}$ ,  $\text{CN}$  та інші. Продуктами неповного згорання можуть бути також оксиди азоту, спирти альдегіди, кетони і високотоксичні з'єднання, наприклад, синильна кислота.

### 5.3 Параметри мікроклімату

Мікроклімат виробничих приміщень характеризують температурою, вологістю та швидкістю руху повітря, а також інтенсивністю радіації, переважно в інфрачервоній та ультра-фіолетовій областях спектру електромагнітних випромінювань.

Параметри мікроклімату у приміщеннях повинні забезпечувати комфортне самопочуття організму. Тому у виробничих приміщеннях повинна

бути надійна система кліматичного контролю. Параметри мікроклімату закритих приміщень нормують санітарні норми [27]. Фактичні параметри мікроклімату закритих приміщень наведені в табл. 5.4.

Таблиця 5.4 – Фактичні параметри мікроклімату у робочому приміщенні

Період року	Категорія робіт	Температура, С <sup>0</sup>	Відносна вологість, %	Швидкість руху повітря, м/с
Холодна	Легка – 1а	18-24	40-60	0,1
Тепла	Легка – 1а	22-25	40-60	0.1

Дане приміщення обладнане системами опалення, кондиціонування повітря. У приміщенні на робочому місці забезпечуються оптимальні значення параметрів мікроклімату: температури, відносної вологості й рухливості повітря у відповідності до [27]. Рівні позитивних і негативних іонів у повітрі мають відповідати ДСН [27]. Для забезпечення оптимальних параметрів мікроклімату в приміщенні проводяться перерви в роботі співробітників, з метою його провітрювання.

У проєкті, що розробляється, передбачається використовувати суміщене освітлення. У світлий час доби використовуватиметься природне освітлення приміщення через віконні отвори, в решту часу використовуватиметься штучне освітлення. Штучне освітлення створюється газорозрядними лампами.

Розрахунок штучного освітлення виробляється по коефіцієнтах використання світлового потоку, яким визначається потік, необхідний для створення заданої освітленості при загальному рівномірному освітленні. Розрахунок кількості світильників  $N$  виробляється по формулі (5.1):

$$N = (E \cdot l \cdot m \cdot Z \cdot K) / F \cdot U \cdot M, \quad (5.1)$$

де  $E$  – нормована освітленість – 200 лк;

$l$  – довжина кімнати – 4 м;

$m$  – ширина кімнати – 5 м;

$Z$  – поправочний коефіцієнт світильника (для стандартних світильників  $Z = 1.1 - 1.3$ ) приймаємо рівним 1,2;

$K$  – коефіцієнт запасу, що враховує зниження освітленості в процесі експлуатації – 1,5;

$U$  – коефіцієнт використання, залежний від типу світильника, показника індексу приміщення і т.п. – 0,55

$M$  – число люмінесцентних ламп в світильнику – 2;

$F$  – світловий потік лампи – 5400 лм.

Підставивши числові значення у формулу (5.1), отримуємо:

$$N = (200 \cdot 4 \cdot 5 \cdot 1,2 \cdot 1,5) / (5400 \cdot 0,55 \cdot 2) = 1,21 \quad (5.2)$$

#### **5.4 Заходи з організації виробничого середовища та попередження виникнення надзвичайних ситуацій**

Заходи безпеки під час експлуатації персонального комп'ютера та периферійних пристроїв передбачають:

- правильне організування місця праці та дотримання оптимальних режимів праці та відпочинку під час роботи з ПК;
- дотримання заходів електробезпеки;

##### **5.4.1 Розрахунок захисного заземлення**

Розрахунок проводять за допомогою методу коефіцієнта використання електродів. Коефіцієнт використання вертикальних заземлювачів  $\eta_v$  в залежності від розміщення заземлювачів та їх кількості знаходиться в межах

0,4...0,99. Взаємну екрануючу дію горизонтального заземлювача враховують за допомогою коефіцієнта використання горизонтального заземлювача  $\eta$ .

Послідовність розрахунку.

- 1) Визначається необхідний опір штучних заземлювачів  $R_{шт.з}$ :

$$R_{шт.з} = (R_d \cdot R_{пр.з}) / (R_{пр.з} - R_d) \quad (5.3)$$

де  $R_{пр.з}$  – опір природних заземлювачів;  $R_d$  – допустимий опір заземлення. Якщо природні заземлювачі відсутні, то  $R_{шт.з} = R_d$ .

Підставивши числові значення у формулу (A.3), отримуємо:

$$R_{шт.з} = (4 \cdot 40) / (40 - 4) = 4 \text{ Ом} \quad (5.4)$$

- 2) Опір заземлення в значній мірі залежить від питомого опору ґрунту  $\rho$ , Ом·м. Приблизне значення питомого опору глини приймаємо  $\rho = 40$  Ом·м (табличне значення).

- 3) Розрахунковий питомий опір ґрунту,  $\rho_{розр}$ , Ом·м, визначається відповідно для вертикальних заземлювачів  $\rho_{розр.в}$ , і горизонтальних  $\rho_{розр.г}$ , Ом·м за формулою:

$$\rho_{розр.в} = \psi \cdot \rho \quad (5.5)$$

де  $\psi$  – коефіцієнт сезонності для вертикальних заземлювачів I кліматичної зони з нормальною вологістю землі, приймається для вертикальних заземлювачів  $\rho_{розр.в} = 1,7$  і горизонтальних  $\rho_{розр.г} = 5,5$  Ом·м.

$$\rho_{розр.в} = 1,7 \cdot 40 = 68 \text{ Ом} \cdot \text{м} \quad (5.6)$$

$$\rho_{розр.г} = 5,5 \cdot 40 = 220 \text{ Ом} \cdot \text{м} \quad (5.7)$$

4) Розраховується опір розтікання струму вертикального заземлювача  $R_B$ , Ом,

$$R_B = (\rho_{\text{розр.в}}) \cdot (2 \cdot \pi \cdot l_B) \cdot (\ln(((2 \cdot l_B) \backslash (d_{\text{ст}})) + 1 \backslash 2) \cdot \ln((4 \cdot t + l_B) \backslash (4 \cdot t - l_B))) \quad (5.8)$$

де  $l_B$  – довжина вертикального заземлювача (для труб - 2–3 м;  $l_B=3$  м);

$d_{\text{ст}}$  – діаметр стержня (для труб - 0,03–0,05 м;  $d_{\text{ст}}=0,05$  м);

$t$  – відстань від поверхні землі до середини заземлювача

$$R_B = (68) \cdot (2 \cdot \pi \cdot 13) \cdot (\ln(((2 \cdot 3) \backslash (0,05)) + 1 \backslash 2) \cdot \ln((4 \cdot 2,3 + 3) \backslash (4 \cdot 2,3 - 3))) = 18,5 \quad (5.9)$$

5) Визначається теоретична кількість вертикальних заземлювачів  $n$  штук, без урахування коефіцієнта використання  $\eta_B$ :

$$\eta_B = (2 \cdot R_B) \backslash R_d = 9,25 \quad (5.10)$$

$\Gamma$  визначається коефіцієнт використання вертикальних електродів групового заземлювача без врахування впливу з'єднувальної стрічки  $\eta_B = 0,57$  (табличне значення).

6) Визначається необхідна кількість вертикальних заземлювачів  $n_B$  з урахуванням коефіцієнта використання  $\eta_B$ , шт:

$$\eta = (2 \cdot R_B) \backslash (R_d \cdot \eta_B) \approx 16 \quad (5.11)$$

7) Визначається довжина з'єднувальної стрічки горизонтального заземлювача  $l_c$ , м:

$$l_c = 1,05 \times L_B \times (n_B - 1) \quad (5.12)$$

де  $L_B$  – відстань між вертикальними заземлювачами, (прийняти за  $L_B=3$  м);



$n_v$  – необхідна кількість вертикальних заземлювачів.

$$l_c = 1,05 \times 3 \times (16 - 1) \approx 48 \text{ м} \quad (5.13)$$

8) Визначається опір розтіканню струму горизонтального заземлювача (з'єднувальної стрічки)  $R_r$ , Ом:

$$R_r = \rho_{\text{розр.в}} \sqrt{2 \cdot \pi \cdot l_c} \cdot \ln\left(\frac{2 \cdot l_c^2}{d_{\text{см}} \cdot h_r}\right) \quad (5.14)$$

де  $d_{\text{см}}$  –еквівалентний діаметр смуги шириною  $b$ ,  $d_{\text{см}} = 0,95b$ ,  $b = 0,15 \text{ м}$ ;

$h_r$  – глибина закладання горизонтальних заземлювачів (0,5 м);

$l_c$  – довжина з'єднувальної стрічки горизонтального заземлювача  $l_c$ , м

$$R_r = 220 \sqrt{2 \cdot \pi \cdot 48} \cdot \ln\left(\frac{2 \cdot 48^2}{0,95 \cdot 0,15 \cdot 0,5}\right) = 8,1 \text{ Ом} \quad (5.15)$$

9) Визначається коефіцієнт використання горизонтального заземлювача  $\eta_c$ . відповідно до необхідної кількості вертикальних заземлювачів  $n_v$ .

Коефіцієнт використання з'єднувальної смуги  $\eta_c = 0,3$  (табличне значення).

10) Розраховується результуючий опір заземлювального електроду з урахуванням з'єднувальної смуги:

$$R_{\text{заг}} = \frac{(R_v \cdot R_r)}{(R_v \cdot \eta_c + R_r \cdot n_v \cdot \eta_v)} \leq R_d \quad (5.16)$$

Висновок: дане захисне заземлення буде забезпечувати електробезпеку будівлі, так як виконується умова:  $R_{\text{заг}} < 4 \text{ Ом}$ , а саме:

$$R_{\text{заг}} = \frac{(18,5 \cdot 8,1)}{(18,5 \cdot 0,3 + 8,1 \cdot 16 \cdot 0,57)} = 1,9 \leq R_d \quad (5.17)$$

## Висновки до розділу 5

В результаті проведеної роботи було зроблено аналіз умов праці, шкідливих та небезпечних чинників, з якими стикається робітник. Було визначено параметри і певні характеристики приміщення для роботи над запропонованим проектом написаному в кваліфікаційній роботі, описано, які заходи потрібно зробити для того, щоб дане приміщення відповідало необхідним нормам і було комфортним і безпечним для робітника.

Приведені рекомендації щодо організації робочого місця, а також важливу інформацію щодо пожежної та електробезпеки. Була наведена схема, розміри приміщення та наведено значення температури, вологості й рухливості повітря, необхідна кількість і потужність ламп та інші параметри, значення яких впливає на умови праці робітника, а також – наведені інструкції з охорони праці, техніки безпеки при роботі на комп'ютері.

## ВИСНОВКИ

Разом з розвитком технологій збільшуються й затрати при тестуванні схем, для чого й було розроблено велика кількість методів тестопридатного проектування.

Методи тестопридатного проектування поділяються на неструктурні або спеціалізовані методи, структурні методи або методи сканування, й методи вбудованного самотестування.

Виявлено що, методи сканування (за винятком Boundary Scan) засновані на такому перетворенні вихідної схеми, при якому всі елементи пам'яті стають легко керованими і спостерігаються в режимі тестування за допомогою об'єднання їх в шлях сканування.

Методи ВСТ характеризуються тим, що в загальному випадку тестова структура, вбудована в пристрій, містить генератор тестів і аналізатор вихідний послідовності.

Неструктурні методи тестопридатного проектування використовуються на останніх етапах проектування і мають незначні додаткові апаратні витрати. Ці методи являють собою сукупність правил поліпшення спостереження та управління деяких елементів схеми.

Було розглянуто технологію побудови логічних електронних схем. У технології КМОН використовуються МДН-транзистори з ізольованим затвором з каналами різної провідності – КМОН. Ця технологія має більш великі показники швидкості роботи порівняно з іншими технологіями побудови логічних елементів й менше енергоспоживання.

Було розроблено велику кількість віртуальних схем логічних елементів на технології КМОН.

Були виявлені переваги програми схемотехнічного моделювання комп'ютерних систем Multisim, яка дозволяє як проектувати так и моделювати роботу схем й має багато віртуальних приладів для полегшення моделювання.

## ПЕРЕЛІК ДЖЕРЕЛ І ПОСИЛАНЬ

1. Уильямс Г.Б. Отладка микропроцессорных систем. Пер.с англ. М., Энергоиздат, 1988 - 254с. 681.32 У-338
2. Муренко Л.Л., Иванов Е.А. Средства отладки. Под ред. Шахнова В.А. М., Высшая школа. 1988 - 159с. 681.32 (075.8) 2М-597
3. Микропроцессоры в 3 кн. Кн. 3. Средства отладки, лабораторный практикум и задачник. Н.В. Воробьев, В.Л. Горбунов, А.В. Горячев, В.Р. Горовой и др. Под ред. Л.Н. Преснухина. М., Высшая школа. 1986 - 351с. 681.32 (075.8) 3М-597
4. Шевкопляс Б.В. Микропроцессорные структуры. Инженерные решения. М., Радио и связь, 1986 - 363с. 681.32 Ш-373
5. Фолкенберри Л.М. Справочное пособие по ремонту электрических и электронных систем. Пер с англ. М. Энергоиздат, 1989 -416с. 621.382 Ф-758
6. ГОСТ 20911-98. Техническая диагностика. Термины и определения.
7. Классификационные признаки для диагностики компьютерных неисправностей с использованием нечетких экспертных систем / Г. Ф. Кривуля, Механа Сами, Д. Е. Кучеренко // Радіоелектронні і комп'ютерні системи. - 2009. - № 5. - С. 127–131. - Режим доступу: [http://nbuv.gov.ua/UJRN/recs\\_2009\\_5\\_25](http://nbuv.gov.ua/UJRN/recs_2009_5_25)
8. Моделирование диагностических состояний и компетентности пользователя компьютерной системы / Г. Ф. Кривуля, Д. Е. Кучеренко // Радіоелектронні і комп'ютерні системи. - 2010. - № 7. - С. 185–189. - Режим доступу: [http://nbuv.gov.ua/UJRN/recs\\_2010\\_7\\_38](http://nbuv.gov.ua/UJRN/recs_2010_7_38)
9. Оптимизация бинарных решающих деревьев при интеллектуальной диагностике компьютерных систем / Г. Ф. Кривуля, А. А. Давыдов // Радіоелектронні і комп'ютерні системи. - 2010. - № 6. - С. 260–265. - Режим доступу: [http://nbuv.gov.ua/UJRN/recs\\_2010\\_6\\_46](http://nbuv.gov.ua/UJRN/recs_2010_6_46)

10. А.В. Палагин, Ю.С. Яковлев особенности проектирования компьютерных систем на кристалле ПЛИС Институт кибернетики имени В.М. Глушкова НАН Украины, Киев, Украина
11. Евтушенко Н.Д. Методология проектирования систем на кристалле. Основные принципы, методы, программные средства [Электронный ресурс] / Евтушенко Н.Д., Немудров В.Г., Сырцов И.А. – Режим доступа: <http://www.mriprogress.msk.ru/news.php?id=7>.
12. Бухтеев А. Системы на кристалле. Новые тенденции / А. Бухтеев, В. Немудров // Электроника НТБ. – 2004. – № 3. – С. 52 – 56.
13. Бухтеев А. Методы и средства проектирования систем на кристалле / А. Бухтеев // Chip News. – 2003. – № 4 (77). – С. 4 – 14.
14. Шагурин И. Системы на кристалле. Особенности реализации и перспективы применения [Электронный ресурс] / И. Шагурин. – Режим доступа: <http://www.russianelectronics.ru/leader-r/review/2189/doc/40316/>.
15. Шагурин И.И. Создание «систем на кристалле» на основе ПЛИС с использованием синтезируемых процессорных ядер / И.И. Шагурин, В.А. Шалтырев // Проблемы разработки перспективных микроэлектронных систем: сб. научных тр. – М.: ИППМ РАН, 2006. – С. 382 – 385.
16. Горбунов В.С. Применение программируемых реконфигурируемых схем при решении проблем технологий обработки больших графов [Электронный ресурс] / В.С. Горбунов, А.Г. Титов. – Режим доступа: [http://www.Rosta.ru/GraphHPC-2014\\_04-Gorbunov.pdf](http://www.Rosta.ru/GraphHPC-2014_04-Gorbunov.pdf).
17. Advantages of Xilinx 7 Series All Programmable FPGA and SoC Devices [Электронный ресурс]. – Режим доступа: <http://www.ni.com/white-paper/14583/en/>.
18. Платформа Zynq-7000. Очередной виток инноваций [Электронный ресурс]. – Режим доступа: <http://www.russianelectronics.ru/developer-r/review/2189/doc/57818/>.

19. Адамов Ю.Ф. Проектирование систем на кристалле [Электронный ресурс] / Ю.Ф. Адамов. – Режим доступа: [http://www.bmstu-sm5.narod.ru/puchkov/puchkov\\_lec.pdf](http://www.bmstu-sm5.narod.ru/puchkov/puchkov_lec.pdf).
20. Калачёв А. Многоядерная конфигурируемая вычислительная платформа Zynq-7000 / А. Калачёв // Современная электроника. – 2013. – № 1. – С. 22 – 31.
21. Непомнящий О.В. Проблемы верификации при проектировании систем на кристалле [Электронный ресурс] / О.В. Непомнящий, А.А. Шуплецов. – Режим доступа: [http://ww.mrwolf.ru/Nauka\\_i\\_obrazovanie/Tochnye\\_nauki/9644](http://ww.mrwolf.ru/Nauka_i_obrazovanie/Tochnye_nauki/9644).
22. Попович А. Применение технологии разработки систем на кристалле на платформе ПЛИС [Электронный ресурс] / А. Попович. – Режим доступа: [http://kit-e.ru/articles/plis/2004\\_4\\_114.php](http://kit-e.ru/articles/plis/2004_4_114.php).
23. Palagin A.V. Reconfigurable computing technology / A.V. Palagin, V.N. Oranasenko // Cybernetics and Systems Analysis. Springer New York. – 2007. – Vol. 43, N 5. – P. 675 – 686.
24. Мищенко Ю.Г. Лекції по курсу "Технічна діагностика комп'ютерних систем" для студентів денної та заочної форм навчання напрямів підготовки 122 "Комп'ютерні науки", 123 "Комп'ютерна інженерія", 125 "Кібербезпека" / Уклад. Ю.Г Міщенко, – Сєвєродонецьк: Східноукраїнський національний університет ім. В. Даля, 2018. - 100 с.
25. National Instruments. Введение в Multisim. Трехчасовой курс. Г.Москва, ул. Озерная, д.42 <http://www.electronicworkbench.com/>
26. ДСанПіН 3.3.2.007-98 «Правила і норми роботи з візуальними дисплейними терміналами електронно-обчислювальних машин»
27. ДСН 3.3.6.042-99 «Санітарні норми мікроклімату виробничих приміщень»
28. ДСанПіН 3.3.2-007-98 «Правила і норми роботи з візуальними дисплейними терміналами електронно-обчислювальних машин»

29. ГОСТ 12.0.003-74 ССБТ. Опасные и вредные производственные факторы. Классификация
30. НПАОП 0.00-1.28-10 «Правил охорони праці під час експлуатації електронно-обчислювальних машин».
31. ГОСТ 12.1.003-83. Шум. Общие требования безопасности.
32. ДСН 3.3.6.037-99. Санітарні норми виробничого шуму, ультразвуку та інфразвуку.
33. ГОСТ 13109-97 «Електрична енергія. Сумісність технічних засобів. Норми якості електричної енергії в системах електропостачання загального призначення».
34. НАПБ А.01.001-2004 «Правила пожежної безпеки України».
35. ДБН В.2.5-28:2015 «Природне і штучне освітлення».

## Додаток А



Рисунок А.1 – Перший слайд презентації

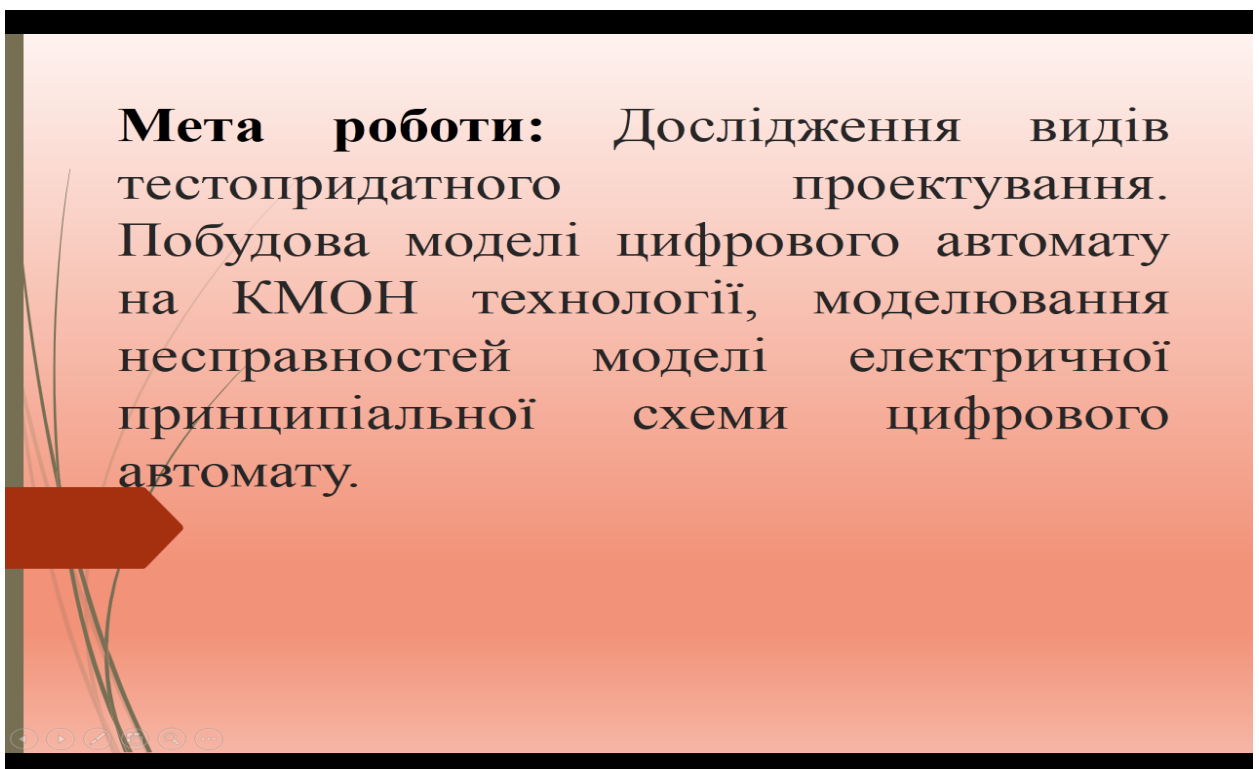


Рисунок А.2 – Другий слайд презентації



# ЗАВДАННЯ

Розглянути структуру систем діагностування й методи тестопридатного проектування

Розглянути технологію побудови технологію побудови електричних принципальних схем за технологією КМОН

Промодельювати роботу схеми за допомогою методу сканування шляху

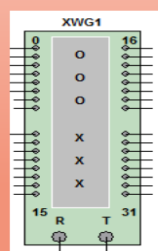
Рисунок А.3 – Третій слайд презентації

Для виконання роботи була використана програма розробки й тестування моделей схем Multisim. Окрім традиційного аналізу, Multisim дозволяє користувачам підключати к схемі віртуальні прилади, що дозволяє користувачу імітувати реальні події.

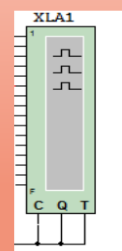
Серед цих пристроїв є й ті які допоможуть реалізувати задачу моделювання схеми, а саме:

Генератор слів (а)

й  
Логічний аналізатор(б)



а



б

Рисунок А.4 – Четвертий слайд презентації

Методи тестопридатного проектування можна умовно поділити на три групи



Рисунок А.5 – П'ятий слайд презентації

КМОН (К-МОН; комплементарна структура метал-оксид-напівпровідник) — технологія побудови логічних електричних схем.

КМОН-схеми мають вищу швидкість та менше енергоспоживання, проте при цьому характеризуються складнішим технологічним процесом виготовлення в порівнянні з іншими МОН-структурами.

Рисунок А.6 – Шостий слайд презентації

Схемотехнічне зображення МДН-транзистору з індукованим затвором, а – р-типу, б – n – типу

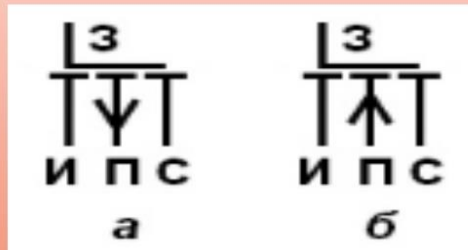


Рисунок А.7 – Сьомий слайд презентації

Була розроблена тестова мікропрограма, з якої можна виділити повний мінімальний тест для комп'ютерної системи.

Комментарии к режимам		Тестовые микрокоманды					Выходы триггеров		
		R	C	V	X <sub>Y</sub>	x <sub>1</sub>	x <sub>2</sub>	Q <sub>1</sub>	Q <sub>2</sub>
Начальная установка триггеров	120/130	1	E	x	x	x	x	0	0
SP Тест А (бегущая 1)	0C/1C	0	E	1	1	x	x	0	1
	08/18	0	E	1	0	x	x	1	0
	08/18	0	E	1	0	x	x	0	0
SP Тест А (бегущий 0)	0C/1C	0	E	1	1	x	x	0	1
	0C/1C	0	E	1	1	x	x	1	1
	08/18	0	E	1	0	x	x	1	0
SP Тест В (бегущие пары 001100)	0C/1C	0	E	1	1	x	x	0	1
	0C/1C	0	E	1	1	x	x	1	1
	08/18	0	E	1	0	x	x	1	0
SP Сдвиг последних битов теста В и запись части Q (Q <sub>1</sub> Q <sub>2</sub> =00)	08/18	0	E	1	0	x	x	1	0
	08/18	0	E	1	0	x	x	0	0
	08/18	0	E	1	0	x	x	0	0
F Подача вектора 1 (x <sub>1</sub> x <sub>2</sub> Q <sub>1</sub> Q <sub>2</sub> =0000) на входы КС	00/10	0	E	0	x	0	0	1	0
SP Сдвиг отклика на вектор 1 (Q <sub>1</sub> Q <sub>2</sub> ) и запись части Q (Q <sub>1</sub> Q <sub>2</sub> =11)	0C/1C	0	E	1	1	x	x	0	1
F Подача вектора 2 (x <sub>1</sub> x <sub>2</sub> Q <sub>1</sub> Q <sub>2</sub> =0011) на входы КС	00/10	0	E	0	x	0	0	0	0
SP Сдвиг отклика на вектор 2 (Q <sub>1</sub> Q <sub>2</sub> ) и запись части Q (Q <sub>1</sub> Q <sub>2</sub> =01)	08/18	0	E	1	0	x	x	0	0
F Подача вектора 3 (x <sub>1</sub> x <sub>2</sub> Q <sub>1</sub> Q <sub>2</sub> =0101) на входы КС	0C/1C	0	E	1	1	x	x	0	1
SP Сдвиг отклика на вектор 3 (Q <sub>1</sub> Q <sub>2</sub> ) и запись части Q (Q <sub>1</sub> Q <sub>2</sub> =00)	01/11	0	E	0	x	0	1	1	1
F Подача вектора 4 (x <sub>1</sub> x <sub>2</sub> Q <sub>1</sub> Q <sub>2</sub> =1000) на входы КС	08/18	0	E	1	0	x	x	1	0
SP Сдвиг отклика на вектор 4 (Q <sub>1</sub> Q <sub>2</sub> ) и запись части Q (Q <sub>1</sub> Q <sub>2</sub> =01)	08/18	0	E	1	0	x	x	0	0
F Подача вектора 5 (x <sub>1</sub> x <sub>2</sub> Q <sub>1</sub> Q <sub>2</sub> =1001) на входы КС	02/12	0	E	0	x	1	0	0	1
SP Сдвиг отклика на вектор 5 (Q <sub>1</sub> Q <sub>2</sub> ) и запись части Q (Q <sub>1</sub> Q <sub>2</sub> =10)	08/18	0	E	1	0	x	x	0	1
F Подача вектора 6 (x <sub>1</sub> x <sub>2</sub> Q <sub>1</sub> Q <sub>2</sub> =1110) на входы КС	0C/1C	0	E	1	1	x	x	0	1
SP Сдвиг отклика на вектор 6 (Q <sub>1</sub> Q <sub>2</sub> ) и запись части Q (Q <sub>1</sub> Q <sub>2</sub> =10)	02/12	0	E	0	x	1	0	1	0
F Подача вектора 5 (x <sub>1</sub> x <sub>2</sub> Q <sub>1</sub> Q <sub>2</sub> =1001) на входы КС	0C/1C	0	E	1	1	x	x	0	1
SP Сдвиг отклика на вектор 5 (Q <sub>1</sub> Q <sub>2</sub> ) и запись части Q (Q <sub>1</sub> Q <sub>2</sub> =10)	08/18	0	E	1	0	x	x	1	0
F Подача вектора 6 (x <sub>1</sub> x <sub>2</sub> Q <sub>1</sub> Q <sub>2</sub> =1110) на входы КС	03/13	0	E	0	x	1	1	0	0
SP Сдвиг отклика на вектор 6 (Q <sub>1</sub> Q <sub>2</sub> ) и запись части Q (Q <sub>1</sub> Q <sub>2</sub> =10)	08/18	0	E	1	0	0	0	0	0
Вывод сигнатуры на индикаторы	100	0	0	x	x	x	x	-	-

Рисунок А.8 – Восьмий слайд презентації

## Несправність – константа нуля на шістнадцятій лінії зв'язку

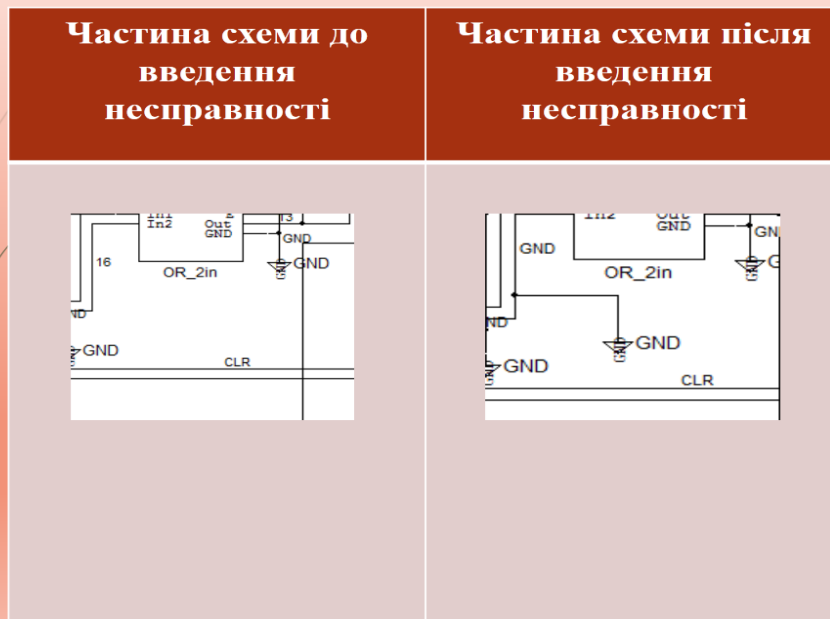


Рисунок А.9 – Дев'ятий слайд презентації

## Результат тестування несправності константа нуля на шістнадцятій лінії зв'язку

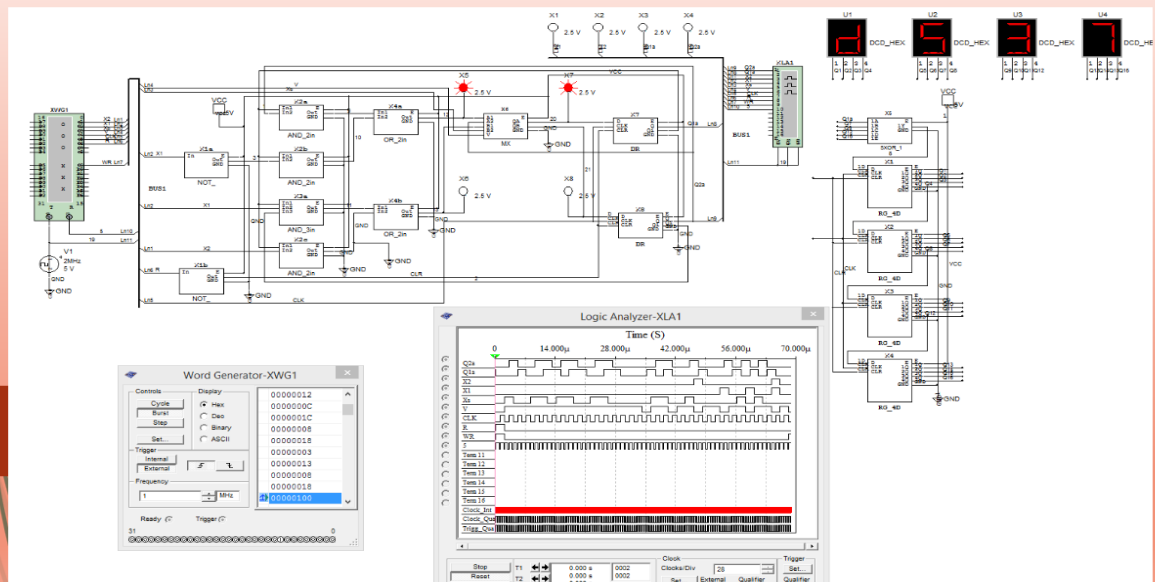


Рисунок А.10 – Десятий слайд презентації

## Результати всіх тестів

№	Сигнатура	Несправність
1	9567	Без несправності
2	C736	Обрив десятої лінії зв'язку
3	D537	Константа нуля на шістнадцятій лінії зв'язку
4	38A5	Константа одиниці на другій лінії зв'язку
5	83BF	Вихід з ладу двох елементів 2I
6	2EAD	Режим холостого ходу на транзисторі VT 9, у елементі 2I x2a
7	4280	Вихід з ладу транзистора VT9 у елементі 2I x2a

Рисунок А.11 – Одинадцятий слайд презентації

## Висновки

- Проаналізована класифікація методів тестопридатного проектування, їх переваги та недоліки
- Побудовано моделі логічних елементів та цифрового автомату на технології КМОН
- Промодельована робота моделі цифрового автомату з різними типами несправностей, при якій він поводить себе адекватно реальній моделі.
- В ході виконання роботи я поліпшив свої знання схемотехніки, технічної діагностики комп'ютерних систем, поглиблено пропрацював матеріал.

Рисунок А.12 – Дванадцятий слайд презентації

**Додаток Б**